



COPY OF PAPERS
ORIGINALLY FILED

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: K. Sakuma et al.

Serial No.: 10/064,260

Filed: June 26, 2002

For: LIQUID CRYSTAL DISPLAY

Assistant Commissioner for Patents
Washington, D.C. 20231

Date: August 12, 2002

Docket No.: JP920010143US1

Group Art Unit: 2871

SUBMISSION OF PRIORITY DOCUMENT

Sir:

Enclosed herewith is a certified copy of Japanese Application No. 2001-200190
filed June 29, 2001, in support of applicant's claim to priority under 35 U.S.C. 119.

Respectfully submitted,

Derek S. Jennings
Reg. Patent Agent/Engineer
Reg. No. 41,473
(914) 945-2144

IBM CORPORATION
Intellectual Property Law Dept.
P. O. Box 218
Yorktown Heights, N. Y. 10598



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 6月29日

出 願 番 号

Application Number:

特願2001-200190

出 願 人

Applicant(s):

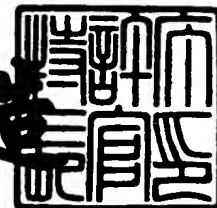
インターナショナル・ビジネス・マシーンズ・コーポレーション

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 7月27日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3066780

【書類名】 特許願

【整理番号】 JP9010143

【提出日】 平成13年 6月29日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/133

【発明者】

 【住所又は居所】 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ピー・エム株式会社 東京基礎研究所内

 【氏名】 佐久間 克幸

【発明者】

 【住所又は居所】 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ピー・エム株式会社 東京基礎研究所内

 【氏名】 坂口 佳民

【特許出願人】

 【識別番号】 390009531

 【氏名又は名称】 インターナショナル・ビジネス・マシーンズ・コーポレーション

【代理人】

 【識別番号】 100086243

 【弁理士】

 【氏名又は名称】 坂口 博

【代理人】

 【識別番号】 100091568

 【弁理士】

 【氏名又は名称】 市位 嘉宏

【代理人】

 【識別番号】 100106699

 【弁理士】

 【氏名又は名称】 渡部 弘道

【復代理人】

【識別番号】 100104880

【弁理士】

【氏名又は名称】 古部 次郎

【選任した復代理人】

【識別番号】 100100077

【弁理士】

【氏名又は名称】 大場 充

【手数料の表示】

【予納台帳番号】 081504

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9706050

【包括委任状番号】 9704733

【包括委任状番号】 0004480

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置、液晶ドライバ、LCDコントローラ、および複数のドライバICにおける駆動方法

【特許請求の範囲】

【請求項1】 基板上に画像表示領域を形成する液晶セルと、
複数のドライバICを用いて前記液晶セルに対して電圧を印加するドライバと、
ホスト側からの信号を処理して前記ドライバICに供給すべき信号を出力するLCDコントローラとを備え、
前記ドライバは、前記液晶セルへの書込みを開始するタイミングを複数の前記ドライバICの間で個々にずらして消費電流の集中を避けることを特徴とする液晶表示装置。

【請求項2】 前記ドライバは、複数の前記ドライバICが前記基板上に実装されると共に、複数の当該ドライバICに対して連続的に電源が供給されることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記ドライバは、まず電源供給元から遠い下流側のドライバICを駆動し、当該電源供給元に近い上流側のドライバICまで順次ドライバICを駆動して前記液晶セルに対して電圧を印加することを特徴とする請求項1記載の液晶表示装置。

【請求項4】 前記LCDコントローラは、複数の前記ドライバICが前記液晶セルへの書込みを開始する遅延時間を表すタイミング設定データを出力することを特徴とする請求項1記載の液晶表示装置。

【請求項5】 前記LCDコントローラは、液晶出力を開始するための出力開始信号および液晶出力の極性を指示するための極性選択信号を含むシリアル化された制御用データ信号を出力することを特徴とする請求項1記載の液晶表示装置。

【請求項6】 基板上に画像表示領域を形成する液晶セルと、
前記基板上にバス接続またはカスケード接続により連続的に電源が供給され、LCDコントローラから出力される時間情報で動作するタイマーを備えた複数の

ドライバ I C とを備え、

前記複数のドライバ I C は、個々に前記液晶セルへの書込み開始タイミングが設定され、当該書込み開始タイミングを前記タイマーによって計測し、条件を満たしたドライバ I C から順次、前記液晶セルへの書込みを開始することを特徴とする液晶表示装置。

【請求項 7】 個々に設定される前記書込み開始タイミングは、各ドライバ I C に電源を供給する配線の負荷の大きさによって値が決定されることを特徴とする請求項 6 記載の液晶表示装置。

【請求項 8】 基板上に画像表示領域を形成する液晶セルと、
電源供給元から連続的に接続されて電源が供給されると共に、前記液晶セルに対して順次書込みを行う複数のドライバ I C とを備え、

前記ドライバ I C は、電源配線上の電圧降下量を監視し、当該電圧降下量が予め設定された基準電圧降下量を下回らない状態において前記液晶セルへの書込みを開始することを特徴とする液晶表示装置。

【請求項 9】 前記ドライバ I C にて予め設定される前記基準電圧降下量は、当該ドライバ I C が前記液晶セルへの書込みを自ら実施する際に測定される測定電位差信号の最低電圧付近に設定されることを特徴とする請求項 8 記載の液晶表示装置。

【請求項 10】 画像表示領域を形成する液晶セルに対して電圧を印加して書込みを行う液晶ドライバであって、

前記液晶セルへの書込みタイミングを遅らせるための書込み遅延時間に関する情報を格納する設定レジスタと、

前記設定レジスタに格納された前記書込み遅延時間を計測するカウンタと、
前記カウンタからの出力に基づいて遅延された出力開始信号を活性化させるシーケンサと、

前記シーケンサにより活性化された前記出力開始信号に基づいて前記液晶セルへの書込みを制御する制御回路と、を含むことを特徴とする液晶ドライバ。

【請求項 11】 前記設定レジスタは、L C D コントローラから出力されるタイミング設定データを読み込んで前記書込み遅延時間に関する情報を格納する

ことを特徴とする請求項 1 0 記載の液晶ドライバ。

【請求項 1 2】 前記設定レジスタは、LCDコントローラから出力される制御用ストロブ信号によるタイミングに基づいて、当該LCDコントローラから出力される制御用データ信号を読み込むことを特徴とする請求項 1 0 記載の液晶ドライバ。

【請求項 1 3】 画像表示領域を形成する液晶セルに対して電圧を印加して書込みを行う液晶ドライバであって、

前記液晶ドライバにおける電源配線上の電位差を測定する電位差測定手段と、
基準となる電圧降下量を設定する設定手段と、

前記設定手段により設定される電圧降下量と前記電位差測定手段により測定される測定電位差とに基づいて前記液晶セルに対して書込みの開始を制御する制御手段と、を備えることを特徴とする液晶ドライバ。

【請求項 1 4】 前記設定手段により設定される電圧降下量は、前記液晶セルへの書込みを自ら実施する際に測定される内部電源配線において生じる電位差の最低電圧付近に設定され、自らが必要とする駆動電流を確保することを特徴とする請求項 1 3 記載の液晶ドライバ。

【請求項 1 5】 ホスト側からの信号を処理して複数のドライバICに供給すべき信号を必要なタイミングで出力するLCDコントローラであって、

前記ドライバICが液晶セルに対する出力を開始する遅延時間を表すデータであるタイミング設定データを出力するタイミング設定データ出力手段と、

前記タイミング設定データにより前記ドライバICに格納された前記遅延時間をカウントするための制御用ストロブ信号を出力するストロブ信号出力手段と、を備えたことを特徴とするLCDコントローラ。

【請求項 1 6】 前記タイミング設定データ出力手段は、前記複数のドライバICのうちで電源供給元から遠い下流側のドライバICから前記液晶セルに対する出力を開始するように遅延時間を表すデータである前記タイミング設定データを出力することを特徴とする請求項 1 5 記載のLCDコントローラ

【請求項 1 7】 前記タイミング設定データ出力手段は、ビデオデータが転送されていない期間中に前記タイミング設定データを出力することを特徴とする

請求項 1 5 記載の L C D コントローラ。

【請求項 1 8】 前記ドライバ I C に対して液晶出力を開始するための出力開始信号および液晶出力の極性を指示するための極性選択信号を制御用データ信号としてシリアル転送する制御用データ信号出力手段とを更に備えたことを特徴とする請求項 1 5 記載の L C D コントローラ。

【請求項 1 9】 液晶セルが形成される基板上に設けられ当該液晶セルに書込み電圧を供給すると共に一筆書き状に電源が供給される複数のドライバ I C における駆動方法であって、

前記複数のドライバ I C のそれぞれに対して前記液晶セルに対する書込み電圧を供給するための書込み開始タイミングを設定し、

所定の時間情報によってカウントを行い、

設定された前記書込み開始タイミングに達したドライバ I C から前記液晶セルへの書込み電圧の供給を開始することを特徴とする複数のドライバ I C における駆動方法。

【請求項 2 0】 前記複数のドライバ I C を制御する L C D コントローラからビデオデータと同様な手順で送出されるタイミング設定データに基づいて前記書込み開始タイミングを設定することを特徴とする請求項 1 9 記載の複数のドライバ I C における駆動方法。

【請求項 2 1】 液晶セルが形成される基板上に設けられ当該液晶セルに書込みを行うと共に、上流側から下流側に向けて一筆書き状に電源が供給される複数のドライバ I C における駆動方法であって、

前記複数のドライバ I C を構成する個々のドライバ I C において電源配線上の電圧降下量を測定し、

予め設定されている基準電圧降下量と比較し、

測定される電圧降下量が前記基準電圧降下量よりも下回るときには、下回る個々のドライバ I C において前記液晶セルへの書込みの出力を O F F することを特徴とする複数のドライバ I C における駆動方法。

【請求項 2 2】 電源が供給される上流側のドライバ I C は、下流側のドライバ I C における前記液晶セルへの書込みが開始された後に当該液晶セルへの書

込みを開始することを特徴とする請求項 2 1 記載の複数のドライバ I C における駆動方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、入力されたビデオ信号に基づいて画像を表示する液晶表示装置等に係り、特に、液晶に対する書込み開始タイミングに改良を加えた液晶表示装置等に関する。

【 0 0 0 2 】

【従来の技術】

一般に、液晶ディスプレイ(LCD)に対して画像が表示される場合、まず、P C 等からなるシステム装置またはシステム部のグラフィックスコントローラ(ホスト側)からビデオインタフェースを介して画像信号等が出力される。この画像信号等を受け取ったLCDコントローラLSIは、ソースドライバ(Xドライバ、LCDソースドライバ)およびゲートドライバ(Yドライバ)の各ICに信号を供給し、例えばマトリックス状に並んだTFT配列の各ソース電極および各ゲート電極に対して電圧を印加することで画像を表示させるように構成されている。

【 0 0 0 3 】

このLCDソースドライバの実装・配線方式としては、近年、チップオンガラス(COG: Chip On Glass)やワイヤリング・オン・アレイ(WOA: Wiring On Array)の技術が注目されている。また、ドライバLSIをTCP(Tape Carrier Package)に配置し、そのTCPを介してTFTアレイ基板(ガラス基板)に接続する技術が開発されている。これらの技術を応用し、IC自身を直接またはTCPを介してガラス基板に貼り付け、プリント基板上行っている配線を省略することができれば、製造にかかるコストを大きく削減することができる。

【 0 0 0 4 】

図 2 1 (a) , (b) は、ソースドライバの配線方式の一例と、同時に液晶への書込みを行った場合における電源配線ライン上の電流測定結果を示した図である。図 2 1 (a) に示すソースドライバの配線方式では、複数のLCDソースドライバ

201に対して、ビデオ信号およびLCDソースドライバ201の制御信号や電源がバス接続されている。液晶(TFTアレイ)への書込み開始制御は、図21(a)の出力開始信号線202をLCDコントローラ(図示せず)がアクティベートすることにより行なわれており、実装された全てのLCDソースドライバ201が同時に液晶への書込みを開始している。このとき、図21(b)に示すように、電源配線ライン上には数百mAに達するスパイク状の電流が流れる。

【0005】

【発明が解決しようとする課題】

ここで、従来におけるLCDソースドライバ201間の配線は、PCB(Printed Circuit Board)あるいはFPC(Flexible Printed Circuit)上の銅配線で実現されていた。一方、上述したCOG&WOA技術では、LCDソースドライバ201がTFTアレイ基板上に直接実装され、LCDソースドライバ201間の配線は、TFTアレイプロセスを使用して、基板上にアルミ等で実現される。このとき、TFTアレイ基板上のアルミ配線は、歩留まりの向上や工程占有時間の短縮を実現するために、2500Å程度の厚みに制限される。その結果、十分な電流容量を実現することができなくなり、図21(b)に示すような数百mAに達するスパイク状の電流が流れると、電源配線が溶断される問題が生じていた。即ち、従来におけるPCBあるいはFPC上の電源配線では、十分な電流容量が確保できることから、電源配線の溶断は発生しなかったが、COG&WOA技術を採用した場合には、ガラス上に形成される電源配線の溶断が生じる可能性がある。

【0006】

また、従来のPCBあるいはFPC上に電源配線を行うLCDパネルの場合には、配線での電源降下は問題とされていなかった。しかしながら、COG&WOA技術を採用した場合には、上述したように十分な電流容量を持つ電源配線の実現が困難であり、電源配線上での電圧降下量が大きくなる。この電圧降下量が大きくなるとLCDソースドライバ201に対して供給される電圧が小さくなり、液晶への書込みの遅延が生じる。その結果、電源入力からのLCDソースドライバ201が置かれている位置(例えば電源供給元に近い上流側と遠い下流側)によ

って、各LCDソースドライバ201への書込み電圧が異なってしまう、画質の均一性が低下する。

【0007】

本発明は、以上のような技術的課題を解決するためになされたものであって、その目的とするところは、LCDパネルにおいて十分な電流容量を確保できない配線を採用した場合であっても、電源配線の溶断等の問題を解決することにある。

また、他の目的は、ソースドライバに対する消費電流の集中を軽減することにある。

【0008】

【課題を解決するための手段】

かかる目的のもと、本発明では、液晶セルの例えばTFTアレイ基板上に実装されるソースドライバICの電源は、バス接続あるいはカスケード接続により一筆書き状(連続的)に供給されている。この構成において、電源配線の最下流に位置するソースドライバICから最上流に位置するソースドライバICに向けて、予め設定された時間差をもって順次、液晶への書込みを開始している。即ち、本発明が適用される液晶表示装置は、基板上に画像表示領域を形成する液晶セルと、複数のドライバICを用いて液晶セルに対して電圧を印加するドライバと、ホスト側からの信号を処理してドライバICに供給すべき信号を出力するLCDコントローラとを備え、このドライバは、液晶セルへの書込みを開始するタイミングを複数のドライバICの間で個々にずらして消費電流の集中を避けることを特徴としている。

【0009】

他の観点から捉えると、本発明が適用される液晶表示装置は、基板上にバス接続またはカスケード接続により連続的に電源が供給され、LCDコントローラから出力される時間情報で動作するタイマーを備えた複数のドライバICとを備え、この複数のドライバICは、個々に液晶セルへの書込み開始タイミングが設定され、この書込み開始タイミングを例えばLCDコントローラから送出される時間情報に基づいてタイマーによって計測し、条件を満たしたドライバICから順

次、液晶セルへの書込みを開始することを特徴としている。ここで、個々に設定される書込み開始タイミングは、各ドライバICに電源を供給する配線の負荷の大きさによって値が決定されることを特徴とすれば、様々なLCDパネルに対応することができる点で好ましい。

【0010】

また、別の観点から把握すると、本発明が適用される液晶表示装置は、電源供給元から連続的に接続されて電源が供給されると共に、液晶セルに対して順次書込みを行う複数のドライバICを備え、このドライバICは、電源配線上の電圧降下量を監視し、電圧降下量が予め設定された基準電圧降下量を下回らない状態において液晶セルへの書込みを開始することを特徴としている。

【0011】

ここで、ドライバICにて予め設定される基準電圧降下量は、ドライバICが液晶セルへの書込みを自ら実施する際に測定される測定電位差信号の最低電圧付近(例えば、最低電圧より所定の下方マージンを確保した値)に設定されることを特徴とすることができる。このように構成すれば、一筆書き状に電源が供給される場合において、最下流のドライバICから、順次、最上流まで、書込みタイミングをずらした状態にて液晶セルへの書込みが可能となる。

【0012】

一方、本発明は、画像表示領域を形成する液晶セルに対して電圧を印加して書込みを行う液晶ドライバであって、液晶セルへの書込みタイミングを遅らせるための書込み遅延時間に関する情報を格納する設定レジスタと、この設定レジスタに格納された書込み遅延時間を計測するカウンタと、このカウンタからの出力に基づいて遅延された出力開始信号を活性化させるシーケンサと、このシーケンサにより活性化された出力開始信号に基づいて液晶セルへの書込みを制御する制御回路とを含むことを特徴とすることができる。

【0013】

また、本発明が適用される液晶ドライバは、液晶ドライバにおける電源配線上の電位差を測定する電位差測定手段と、基準となる電圧降下量を設定する設定手段と、設定される電圧降下量と測定される測定電位差とに基づいて液晶セルに対

して書込みの開始を制御する制御手段とを備えることを特徴としている。

【 0 0 1 4 】

本発明は、ホスト側からの信号を処理して複数のドライバ I C に供給すべき信号を必要なタイミングで出力する L C D コントローラから把えることができる。即ち、この L C D コントローラは、ドライバ I C が液晶セルに対する出力を開始する遅延時間を表すデータであるタイミング設定データを出力するタイミング設定データ出力手段と、このタイミング設定データによりドライバ I C に格納された遅延時間をカウントするための制御用ストロブ信号を出力するストロブ信号出力手段と、ドライバ I C に対して液晶出力を開始するための出力開始信号および液晶出力の極性を指示するための極性選択信号を制御用データ信号としてシリアル転送する制御用データ信号出力手段を備えたことを特徴としている。ここで、このタイミング設定データ出力手段は、ビデオデータが転送されていない、例えばブランキング期間中にタイミング設定データを出力することができる。

【 0 0 1 5 】

更に本発明は、液晶セルが形成される基板上に設けられこの液晶セルに書込み電圧を供給すると共に一筆書き状に電源が供給される複数のドライバ I C における駆動方法であって、複数のドライバ I C のそれぞれに対して液晶セルに対する書込み電圧を供給するための書込み開始タイミングを設定し、例えば、 L C D コントローラから送出される所定の時間情報によってカウントを行い、設定された書込み開始タイミングに達したドライバ I C から液晶セルへの書込み電圧の供給を開始することを特徴とすることができる。

【 0 0 1 6 】

また、本発明が適用される複数のドライバ I C における駆動方法は、複数のドライバ I C を構成する個々のドライバ I C において電源配線上の電圧降下量を測定し、予め設定されている基準電圧降下量と比較し、測定される電圧降下量が基準電圧降下量よりも下回るときには、下回る個々のドライバ I C において液晶セルへの書込みの出力を O F F することを特徴とすることができる。これによって、電源が供給される上流側のドライバ I C は、下流側のドライバ I C における液晶セルへの書込みが開始された後に液晶セルへの書込みを開始することが可能と

なる。

【 0 0 1 7 】

【発明の実施の形態】

以下、添付する図面に従って、実施の形態(実施の形態 1 および 2)を詳細に説明する。

◎ 実施の形態 1

図 1 は、本実施の形態が適用された画像表示装置の一実施形態を示す構成図である。図 1 に示す画像表示装置では、液晶セルコントロール回路 1 と薄膜トランジスタ(TFT)の液晶構造を有する液晶セル 2 によって液晶(LCD)モジュール(LCD パネル)を形成している。この液晶モジュールは、例えばパーソナルコンピュータ(PC)等のホスト側のシステム装置とは分離した表示装置に、またはノートブック PC の場合はその表示部に形成されるものである。この液晶セルコントロール回路 1 では、システム側のグラフィックスコントローラ LSI (図示せず)からビデオインタフェース(I/F) 3 を介し、RGB ビデオデータ(ビデオ信号)や、ドットクロック(CLK)、垂直同期信号(V_sync)、水平同期信号(H_sync)、データイネーブル信号(DE)等の制御信号が LCD コントローラ 4 に入力される。また、DC 電源も供給される。

【 0 0 1 8 】

DC-DC コンバータ 5 は、供給された DC 電源から液晶セルコントロール回路 1 にて必要な各種 DC 電源電圧を作り出し、ゲートドライバ 6 やソースドライバ 7、バックライト用の蛍光管(図示せず)等に供給している。LCD コントローラ 4 は、ビデオ I/F 3 から受け取った信号を処理し、ゲートドライバ 6 やソースドライバ 7 の各 IC に供給すべき信号を必要なタイミングで出力している。ソースドライバ 7 は、液晶セル 2 上にマトリックス状に並んだ TFT 配列において、TFT の水平方向(X 方向)に並んだ各ソース電極に印加する電圧を出力している。また、ゲートドライバ 6 は、同じく TFT の垂直方向(Y 方向)に並んだ各ゲート電極に印加する電圧を出力している。本実施の形態では、LCD コントローラ 4 からの出力として、従来からある制御信号や設定信号の代わりに、シリアル化した制御用ストローク信号、制御用データ信号が加わっている。

【 0 0 1 9 】

このゲートドライバ6およびソースドライバ7は共に複数個のICで構成されている。本実施の形態では、ソースドライバ7はLSIのチップである複数のソースドライバIC20を備えている。図1では、説明の都合上、液晶セルコントロール回路1と液晶セル2が分離しているように示されているが、本実施の形態では、複数のソースドライバIC20が液晶セル2を構成するガラス基板上にCOG(Chip On Glass)構造で形成され、更に各配線もガラス基板上にWOA(Wiring On Array)構造で形成されている。

【 0 0 2 0 】

このように、表示領域の外側である縁の幅が狭い狭額縁のLCD等において、ソースドライバ7をLCDパネルのTFTガラス基板上に直接実装し、ソースドライバIC20間の配線をガラス基板上のアルミ配線等を使用して実現することによって、LCDパネルの小型化とコスト削減を図っている。このとき、TFTガラス基板上に実装されるソースドライバIC20の電源は、バス接続またはカスケード接続によって一筆書き状(連続的)に供給される。本実施の形態では、かかる構成において、電源配線の最下流に位置するソースドライバIC20から最上流に位置するソースドライバIC20に向けて、予め設定された時間差を持って順次、液晶への書込みを開始している。

【 0 0 2 1 】

従前のLCDソースドライバで個別に液晶書込みタイミングを制御する場合、実装するLCDソースドライバ数分の個別配線(出力開始信号)が必要となる。これらの配線を通してLCDコントローラが個別にLCDソースドライバを制御しなければならない。これは、COG/WOA方式のLCDパネルでは、配線領域の増加につながり、適切な解とは言えない。本実施の形態では、制御用ストロブ信号および制御用データ信号の2本の信号線によって各ソースドライバIC20の制御および初期設定を可能とし、同時に個々のソースドライバIC20の液晶書込みタイミングを制御できるインタフェースを提案している。即ち、従来、用意されていた極性選択、出力開始、設定ピンを制御用ストロブと制御用データに置き換えている。これらの配線は、バス接続の他、チップ内配線を経由する

カスケード接続で実現することも可能である。

【 0 0 2 2 】

図 2 は、本実施の形態が適用されるソースドライバ IC 2 0 の構成を示した図である。ソースドライバ IC 2 0 は、本発明の特徴的な構成であるインタフェース回路 3 0、ビデオ信号とインタフェース回路 3 0 からの出力とを受けて TFT アレイである液晶セル 2 への出力を制御する制御回路 2 1 を備えている。更に、この制御回路 2 1 からの出力を受けて動作するシフトレジスタ 2 2、2 段のデータラッチ 2 3、バッファアンプ 2 5 を備え、更に、ガンマ補正用電圧を受けてデータラッチ 2 3 を D/A 変換してバッファアンプ 2 5 に出力するデジタル・アナログ変換回路 2 4 とを備えている。

【 0 0 2 3 】

図 3 は、図 2 に示したインタフェース回路 3 0 の構成を示した図である。本実施の形態では、制御信号としてシリアル信号である制御用ストローク信号と制御用データ信号がインタフェース回路 3 0 に入力される。このインタフェース回路 3 0 は、制御用データを制御用ストローク信号に従って受信するシーケンサ 3 1、受信した制御用データを記憶する各種フラグ 3 2、遅延時間の設定等を行うタイマー 3 3 を備えている。タイマー 3 3 は、液晶書込みタイミングの遅延時間を設定するための設定レジスタ 3 4、遅延時間を計測するためのカウンタ 3 5 から構成される。制御用データは、従来からある制御信号(極性選択信号や出力開始信号等)や設定信号をシリアル化したものであり、制御用ストローク信号の立ち上がりごとにシーケンサ 3 1 によって読み込まれる。読み込まれた制御信号は、各種フラグ 3 2 に値を記憶され、この値は、図 2 に示した制御回路 2 1 にて用いられる。

【 0 0 2 4 】

図 4 は、制御用ストローク信号と制御用データ信号との入力波形例を示した図である。この例では、制御信号として出力開始フラグと極性選択フラグの 2 種類が示され、内部設定信号として設定 1 フラグと設定 2 フラグの 2 種類が示されている。制御用データ信号は、データの開始を表すスタートビットで始まり、出力開始信号、極性選択信号、設定 1、設定 2 の値が順に続いている。ここでは、ス

タートビットを含めて5ビットの情報のみを送っているので、制御用ストローク信号は5回が有効となる。LCDコントローラ4は、ビデオデータ転送完了時や液晶への書き込み開始時、及び内部設定の変更を行いたいときには、図4に示すシーケンスを用いて制御データを転送している。また、制御用データの値が0の期間にストローク信号で空打ちをすることによって、スタートビット待ち状態までシーケンスをリセットすることもできる。

【0025】

液晶への書き込みタイミングの制御は、上述したインタフェース方式と図3に示す設定レジスタ34、カウンタ35を使用して実行される。LCDコントローラ4は、ビデオデータ転送用の配線を使用して、ブランキング期間中などのビデオデータ転送を行っていない期間中に、書き込み遅延時間を図3の設定レジスタ34に書き込む。このとき、個々のソースドライバIC20に個別の値を設定する必要があるが、ビデオデータ転送と同様の方式で実現することが可能である。また、設定レジスタ34の値(書き込み遅延時間)は、LCDコントローラ4が出力開始を指示した後にソースドライバIC20がカウントする制御用ストローク数である。

【0026】

図5は、書き込み開始タイミングにおける遅延の様子を示した図である。予めLCDコントローラ4により設定された書き込み遅延時間の値は、出力開始フラグが1である期間中にカウンタ35の初期値としてロードされる。出力開始フラグが0になると、図3のシーケンサ31は、カウンタ35を起動し、カウンタ35はカウント・ダウンを開始する。このカウント・ダウンはカウンタ35の値が0になった時点で終了し、シーケンサ31は、カウンタ35の値が0になったときに遅延された出力開始信号をアクティベート(活性化)する。ソースドライバIC20に設けられた制御回路21は、この遅延された出力開始信号に従って、液晶セル2への書き込みを開始する。

【0027】

ここで、ソースドライバIC20毎に、異なった値を設定レジスタ34に設定しておけば、個々のソースドライバIC20の書き込み開始タイミングをLCDコ

ントローラ 4 から容易に制御することができる。遅延される時間は、通常、制御用ストロープ周期に設定レジスタ 3 4 の値を乗じた時間となる。しかしながら、この制御用ストロープ周期は一定である必要はなく、LCD コントローラ 4 から制御用ストロープの間隔を操作して、非線形な遅延時間差を実現することも可能である。

【 0 0 2 8 】

次に、LCD コントローラ 4 とソースドライバ IC 2 0 との間におけるインターフェースについて説明する。

図 6 は、LCD コントローラ 4 の構成を示したブロック図である。本実施の形態における LCD コントローラ 4 は、制御信号を受けてゲートドライバ 6 とソースドライバ 7 を制御するタイミング制御回路 4 1、タイミング制御回路 4 1 から出力されるトリガー信号を受けてストロープ信号を生成するストロープ生成回路 4 2、タイミング制御回路 4 1 から出力されるソースドライバ制御信号に対してパラレルシリアル変換を施すパラレルシリアル変換回路 4 3 を備えている。また、ホスト側から入力されるビデオデータをラッチするラッチ回路 4 4、予め準備されたタイミング設定データの値が格納される ROM 4 5、ビデオデータとタイミング設定データとの切り替えを行うセレクタ 4 6 を備えている。このセレクタ 4 6 は、タイミング制御回路 4 1 から送られるデータ切替信号をもとに、ビデオデータとタイミング設定データとの切り替えを行い、どちらかの信号をソースドライバ 7 に出力している。制御用ストロープ信号および制御用データ信号は、ソースドライバ 7 をシリアル化した信号で制御するために必要な信号であり、ストロープ生成回路 4 2 およびパラレルシリアル変換回路 4 3 で生成される。

【 0 0 2 9 】

図 7 は、LCD コントローラ 4 とソースドライバ 7 との間における信号波形を示した図である。LCD コントローラ 4 から出力されるデータタイプには、ビデオデータとタイミング設定データの 2 種類がある。LCD コントローラ 4 は、ホスト側からビデオデータを受信したときに、ソースドライバ 7 へビデオデータを転送する。また、それと同時に、ビデオデータの始まりを示すスタートパルスを生成して出力する。更に、ソースドライバ 7 に液晶出力を開始させる信号(出力

開始信号)、液晶出力の極性を指示する信号(極性選択信号)、転送するデータがビデオデータであるかタイミング設定データであるかを示すデータタイプ信号を制御用ストロブ/データの2本の配線を用いてシリアル転送している。ソースドライバIC20は、スタートパルスによりビデオデータの始まりを認識し、順次、必要なビデオデータを取り込んでいる。また、制御用ストロブ/データの2本の配線を介して上述した制御信号を受信している。図7に示されているトリガー信号は、LCDコントローラ4内に設けられたタイミング制御回路41によって生成される内部信号であり、制御用ストロブ/データ信号を出力するタイミングが示されている。

【0030】

タイミング設定データは、各ソースドライバIC20が液晶セル2に対して出力を開始する遅延時間を表すデータであり、各ソースドライバIC20内に用意された設定レジスタ34に格納される。タイミング設定データは、図7に示すように、ビデオデータと同じ手順でLCDコントローラ4から出力される。ビデオデータと異なる点は、タイミング設定データの出力を開始する直前に出力される制御用ストロブ/データ信号により、データタイプが1(タイミング設定データを表す)に設定され、タイミング設定データの出力を終了した直後に出力される制御用ストロブ/データ信号により、データタイプが0(ビデオデータを表す)に戻されている点である。

【0031】

図8は、タイミング設定データが各ソースドライバIC20の設定レジスタ34に転送される様子を示した図である。この図8では、5個のソースドライバIC20がカスケード接続されている場合を示している。LCDコントローラ4は、ドットクロック(クロック)に同期して、タイミング設定データをビデオデータ配線に出力している。それと同時に、データの始まりを示すスタートパルスをカスケード接続された最初のソースドライバIC20(チップ#1)に出力する。チップ#1は、スタートパルスを受信した次のクロックでタイミング設定データ4を受信し、設定レジスタ34に格納する。また、チップ#1は受信したスタートパルスをクロックの立ち上がりでラッチして後続のソースドライバIC20(チ

ップ# 2)にスタートパルス(チップ# 2)として出力している。チップ# 2以降のソースドライバIC 20は、同様な手順でタイミング設定データを受信し、後続のソースドライバIC 20にスタートパルスを出力している。LCDコントローラ4は、ブランキング期間中(例えば垂直ブランキング期間)に、以上のような手順によって、各ソースドライバIC 20にタイミング設定データを転送している。

【 0 0 3 2 】

図9(a),(b)は、本実施の形態における電源配線の実現モデルの一例を説明するための図である。ここでは、5つのソースドライバIC 20に電源を供給するための電源配線のモデルが示されている。このモデルは、ソースドライバIC 20をTFTアレイ基板上に実装し、TFTアレイ基板上のアルミ配線を使用した場合と仮定している。そのため、各ソースドライバIC 20間には比較的大きい 10Ω の配線抵抗が設定されている。各ソースドライバIC 20には、電源供給元から一筆書き状に連続的に電源が供給されている。図9(b)に、各ソースドライバIC 20における設定レジスタ34の内容が示されている。設定レジスタ34は、電源供給元から最も遠いソースドライバIC 20であるチップ# 5を0に設定している。

【 0 0 3 3 】

図10は、図9(a),(b)に示すモデルの書込み開始遅延時間を生成するソースドライバIC 20におけるタイミングチャートを示した図である。図10に示すDriver# 1~Driver# 5は、図9(a),(b)に示すソースドライバIC 20の# 1~# 5に対応している。ここでは、Driver# 1は電源上流、Driver# 5は電源下流に位置したソースドライバIC 20である。タイミングチャートは、LCDパネル(液晶セル2)のnライン目の書込みが行われているところを示しており、制御用ストロブ、制御用データが入力信号となって、書込み開始タイミングがずれている様子がわかる。更に、ソースドライバIC 20毎に書込み開始タイミングがずらされ、下流から上流のソースドライバIC 20側へ順次書込みが開始される。

【 0 0 3 4 】

出力開始遅延時間は、図9(b)より、各ソースドライバIC20間で1ストローク期間となっている。例えば、制御用ストローク信号の周期を800nSとすると、各ソースドライバIC20の出力開始は800nSずつシフトすることになる。この値は、本実施の形態を適用するLCDパネルの特性から決定される。例えば、一般的なLCDパネルのソース線の時定数は200nS～1000nS程度であり、この値を遅延時間に設定すれば、各ソースドライバIC20で最も多く電流を消費するタイミングを時間的に分散させることが可能になる。また、本実施の形態の機構は、下流側から上流に向けて駆動を開始する一般的な方法のみではなく、上流側から下流側へ、中央から左右へ、などのように駆動順序を自由に設定することができる。但し、電源電圧降下の影響が最も大きく電圧値の低いもの(電源供給元から遠い下流側)から駆動を開始し、電源電圧降下の影響が最も小さく電圧値の高いもの(電源供給元に近い上流側)を最後に立ち上げるように構成すれば、各ソースドライバIC20における書込みの完了時間を各ソースドライバIC20にて揃える方向に設定することができる点で好ましい。

【0035】

このように、実施の形態1では、各ソースドライバIC20にタイマー33を内蔵し、個々に液晶への書込みタイミングを設定している。このタイマー33は、LCDコントローラ4から出力される時間情報で動作し、設定時間を経過したソースドライバIC20から順次液晶への書込みを開始している。LCDパネルの負荷の大きさによってタイマー33の設定値を変更することによって、様々な仕様のLCDパネルに対して対応することが可能となる。

【0036】

◎ 実施の形態2

実施の形態1では、LCDコントローラ4から出力される時間情報で動作するシステムについて説明した。実施の形態2では、各ソースドライバIC20が電源配線上の電圧降下量を監視し、予め設定された電圧降下量を上回らないように、自主的に液晶への書込み開始を制御している。これにより、自動的に電圧降下量の小さい(電源配線の最下流に位置する)ソースドライバIC20から液晶への書込みが開始され、LCDパネルの負荷の大きさによって、書込み開始タイミン

グの時間差は自動的に調整される点に特徴がある。尚、実施の形態 1 と同様な構成については、同様な符号を用い、ここではその詳細な説明を省略する。

【 0 0 3 7 】

図 1 1 は、実施の形態 2 におけるソースドライバ IC 2 0 の構成を示した構成図である。ここでは、電圧降下量監視回路 5 0 を組み込んだ点に特徴がある。各ソースドライバ IC 2 0 は、チップ長が 1 5 m m ~ 2 0 m m に及ぶ L S I であり、チップ内電源配線は 3 ~ 5 Ω 程度の抵抗を有している。本実施の形態では、電圧降下量監視回路 5 0 によって、この配線抵抗で生じる電圧降下量を基準値以下に抑えるように、液晶セル 2 への書込みを制御している。

【 0 0 3 8 】

図 1 2 は、電圧降下量監視回路 5 0 の構成を示した図である。電圧降下量監視回路 5 0 は、ソースドライバ IC 2 0 内の電源配線における配線抵抗の両端で発生する電位差を測定するための電位差測定回路 5 1、基準となる電圧降下量を設定するための基準電圧降下量設定回路 5 2、測定電位差信号と基準電圧降下量 (V_{ref}) を比較し、ソースドライバ IC 2 0 における出力段のバッファアンプ 2 5 のオン・オフ制御信号を出力する比較回路 5 3 から構成される。基準電圧降下量設定回路 5 2 は、ソースドライバ IC 2 0 に内蔵せずに、外部回路で生成して、比較回路 5 3 に供給することも可能である。

【 0 0 3 9 】

図 1 3 は、電圧降下量監視回路 5 0 の実現例を示した図である。図 1 3 に示す電位差測定回路 5 1 は、例えばトランジスタからなる定電流源 (I_1) と 3 個の F E T (F E T 1 ~ F E T 3) から構成される。定電流源 (I_1) は、十数 μ A 程度の電流を F E T 1 を通して電源入力から引抜く。このとき、配線抵抗に駆動電流 (数十 ~ 数百 m A) が流れていないとき、F E T 1 を流れる電流は F E T 2 にコピーされて F E T 3 に流れる。F E T 3 では、この電流値を電圧に変換している。

【 0 0 4 0 】

図 1 4 は、電位差測定回路 5 1 の動作波形を示した図である。配線抵抗に駆動電流が流れて電圧降下 (V_{drop}) が発生すると、F E T 2 のゲート・ソース間電圧が V_{drop} だけ小さくなり、F E T 3 へ流れる電流が減少する ($I_1 - I_m$)。これに

より、FET 3 が発生する電圧は、配線抵抗に流れる駆動電流に対応して減少することになり、この電圧を測定電位差信号として利用できる。生成される測定電位差信号は、比較回路 5 3 に入力される。

【 0 0 4 1 】

次に、基準電圧降下量設定回路 5 2 について説明する。基準電圧降下量設定回路 5 2 では、測定電位差信号の基準電圧レベルが設定される。図 1 3 では、R 1 , R 2 により電源電圧 V_{cc} を分圧することで実現している。R 1 として数十 $K\Omega$ 程度の抵抗が使用され、R 2 を数 $K\Omega$ から十数 $K\Omega$ の範囲で調整することにより、基準電圧レベルの調整を行っている。基準電圧降下量設定回路 5 2 は、前述のように、外部回路で実現し、各ソースドライバ IC 2 0 に、直接、基準電圧降下量を入力することもできる。

【 0 0 4 2 】

図 1 5 は、基準電圧降下量の設定の仕方を示した図である。ここでは、ソースドライバ IC 2 0 を単独で動作させた場合の設定状態を示している。このように設定されたソースドライバ IC 2 0 が液晶への書込みを開始すると、測定電位差信号の電圧が低下する。これは、このソースドライバ IC 2 0 が液晶を駆動するときの駆動電流により発生した電圧降下である。測定電位差信号の最低電圧付近に基準電圧降下量を設定することにより、自分の必要な駆動電流は確保される。もしも、ガラス上アルミ配線の許容電流がソースドライバ IC 2 0 の単独で必要な駆動電流よりも小さい場合は、基準電圧降下量を測定電位差信号の最低電圧よりも高く設定する。逆に、ガラス上アルミ配線の許容電流が大きい場合は、図 1 5 に示すマージンを大きく取れば良い。

【 0 0 4 3 】

次に、比較回路 5 3 について説明する。この比較回路 5 3 は、電位差測定回路 5 1 の測定電位差信号と基準電圧降下量設定回路 5 2 の基準電圧降下量の比較を行い、測定電位差信号が基準電圧降下量を下回ったときに出力制御信号を Low (0) にする。図 1 1 に示したバッファアンプ 2 5 は、比較回路 5 3 が出力する出力制御信号が Low (0) の期間に液晶への書込みを停止するように働く。

【 0 0 4 4 】

図 1 6 (a) , (b) は、比較回路 5 3 の動作波形を示した図である。ここでは、複数のソースドライバ I C 2 0 を動作させた場合を示している。電源配線で下流に位置するソースドライバ I C 2 0 が液晶への書込みを開始すると、図 1 6 (a) に示すように、そのソースドライバ I C 2 0 よりも上流に位置するソースドライバ I C 2 0 では、基準電圧降下量以上の電圧降下が発生する。この上流に位置するソースドライバ I C 2 0 は、図 1 6 (b) に示すように、電圧降下量を減少させるために基準電圧降下量よりも電圧の下がった期間について出力を O F F し、自分自身の液晶への書込みを停止する。このようにして、本実施の形態における電圧降下量監視回路 5 0 を内蔵するソースドライバ I C 2 0 に対して、上流側から下流側までバス接続あるいはカスケード接続により一筆書き状(連続的)に電源を供給した場合に、電源配線で最下流に位置するソースドライバ I C 2 0 から順に液晶への書込みを開始することが可能となる。

【 0 0 4 5 】

図 1 7 は、実施の形態 2 における電源配線の実現モデルの一例を説明するための図である。ここでは、複数のソースドライバ I C 2 0 がカスケード接続により一筆書き状(連続的)に接続されており、電源供給元に近い上流側から遠い下流側に向けて電源が供給される。ここでは、例えば、ガラス上配線抵抗はそれぞれ 3 Ω 程度であり、各ソースドライバ I C 2 0 の内部抵抗は 5 Ω 程度としている。全てのソースドライバ I C 2 0 に同時に電源を供給した場合に、上流側のソースドライバ I C 2 0 は電源配線を流れる電流が大きくなって電圧降下量が大きく、下流側であれば、電圧配線を流れる電流が小さく電圧降下量が小さい。従って、同じ基準電圧降下量を設定することにより、下流側のソースドライバ I C 2 0 から順に書込みを開始できる。

【 0 0 4 6 】

図 1 8 は、各ソースドライバ I C 2 0 における比較回路 5 3 からバッファアンプ 2 5 に出力される出力制御信号を示した図である。ここでは、T F T アレイのソース線負荷が 5 0 p F、1 0 k Ω の場合を示している。最も下流側であるソースドライバ I C 2 0 の # 5 (ドライバ(driver) # 5) は、自身に対する負荷だけの電圧降下量が出力制御信号として出力される。ソースドライバ I C 2 0 の # 4 (

ドライバ# 4)では、最初はドライバ# 5に対する負荷を含めて電圧降下量が出力制御信号として出力され、Low(0)となって液晶への書込みが停止される。その後、ドライバ# 5に対する液晶書込み電圧が供給された後に、出力制御信号がHigh(1)に変わり、液晶への書込みが開始される。最も上流側であるソースドライバIC20の# 1(ドライバ# 1)は、ソースドライバIC20の# 2(ドライバ# 2)の液晶書込み電圧が供給されるまではLow(0)となり、ドライバ# 2の電圧供給後にHigh(1)に変わる。尚、ソース配線の負荷を変えた場合にも、自動的に液晶への書込み開始タイミングが調整される。

【 0 0 4 7 】

以上、説明したように、実施の形態2では、ソースドライバIC20が電源配線上の電圧降下量を監視し、予め設定された電圧降下量を上回らないように、自主的に液晶への書込み開始を制御している。即ち、電源配線上の電圧降下量を監視する回路を内蔵し、予め設定された電圧降下量と比較を行い、設定値以上の電圧降下が生じた場合には、液晶への書込みを中止する機能を備えている。これにより、自動的に電圧降下量の小さい(電源配線の最下流に位置する)ソースドライバIC20から液晶への書込みを開始することが可能となる。

【 0 0 4 8 】

次に、実施の形態1および実施の形態2による効果を説明する。

図19は、各ソースドライバIC20からの出力電圧の測定結果を示した図であり、出力開始遅延時間は各ソースドライバIC20で800nSとしている。図19によれば、5つのソースドライバIC20がタイミングをずらして書込みを行い、出力電圧がそれぞれ一定電圧まで上がっている様子が理解できる。電源下流側のソースドライバIC20(ドライバ# 5)における出力波形が最も早く立ち上がりを開始するが、電源電圧降下の影響で書込みに時間がかかっている。電源上流側のソースドライバIC20(ドライバ# 1)は最後に立ち上がるが、電源電圧降下の影響が小さいため、素早く書込みを完了している。各ソースドライバIC20において画素容量への必要な書込み時間を維持していることから、本駆動による画質への影響はない。

【 0 0 4 9 】

図 2 0 は、書込みタイミングを制御した場合の電源配線ライン上の電流測定結果を示した図である。従来の同時書込みである図 2 1 (b) の電流測定結果で現れていたスパイク状の大きな電流が、実施の形態 1 および 2 によって軽減されている。従来の書込み方式に比べて、ピーク電流が $1/3$ 、多いところでは $1/4$ に低く抑えられていることが確認できる。

【0050】

以上、詳述したように、実施の形態 1 および 2 では、TFT アレイ基板上に実装されるソースドライバ IC 2 0 の電源はバス接続あるいはカスケード接続により、一筆書き状(連続的)に供給される。この構成において、例えば、電源配線の最下流に位置するソースドライバ IC 2 0 から最上流に位置するソースドライバ IC 2 0 に向けて、あらかじめ設定された時間差をもって順次、液晶への書込みを開始する。即ち、本実施の形態による機構によれば、液晶駆動開始タイミングが自由に設定可能となり、さまざまな特性の LCD パネルに柔軟に対応できる。これにより、ソースドライバ IC 2 0 の書込開始時電流の電源配線への集中を避けることが可能となり、ガラス上配線における電圧降下量を小さくでき、また、スパイク状の大きな電流を画期的に低減できることから、電源配線寿命を延ばし、例えばガラス上アルミ配線で発生する故障を低減することが可能となる。

【0051】

【発明の効果】

以上説明したように、本発明によれば、ソースドライバに対する消費電流の集中を軽減することができる。

【図面の簡単な説明】

【図 1】 本実施の形態が適用された画像表示装置の一実施形態を示す構成図である。

【図 2】 本実施の形態が適用されるソースドライバ IC の構成を示した図である。

【図 3】 図 2 に示したインタフェース回路の構成を示した図である。

【図 4】 制御用ストロブ信号と制御用データ信号との入力波形例を示した図である。

【図 5】 書込み開始タイミングにおける遅延の様子を示した図である。

【図 6】 L C D コントローラの構成を示したブロック図である。

【図 7】 L C D コントローラとソースドライバとの間における信号波形を示した図である。

【図 8】 タイミング設定データが各ソースドライバ I C の設定レジスタに転送される様子を示した図である。

【図 9】 (a), (b) は、本実施の形態における電源配線の実現モデルの一例を説明するための図である。

【図 1 0】 図 9 (a), (b) に示すモデルの書込み開始遅延時間を生成するソースドライバ I C におけるタイミングチャートを示した図である。

【図 1 1】 実施の形態 2 におけるソースドライバ I C の構成を示した構成図である。

【図 1 2】 電圧降下量監視回路の構成を示した図である。

【図 1 3】 電圧降下量監視回路の実現例を示した図である。

【図 1 4】 電位差測定回路の動作波形を示した図である。

【図 1 5】 基準電圧降下量の設定の仕方を示した図である。

【図 1 6】 (a), (b) は、比較回路の動作波形を示した図である。

【図 1 7】 実施の形態 2 における電源配線の実現モデルの一例を説明するための図である。

【図 1 8】 各ソースドライバ I C における比較回路からバッファアンプに出力される出力制御信号を示した図である。

【図 1 9】 各ソースドライバ I C からの出力電圧の測定結果を示した図である。

【図 2 0】 書込みタイミングを制御した場合の電源配線ライン上の電流測定結果を示した図である。

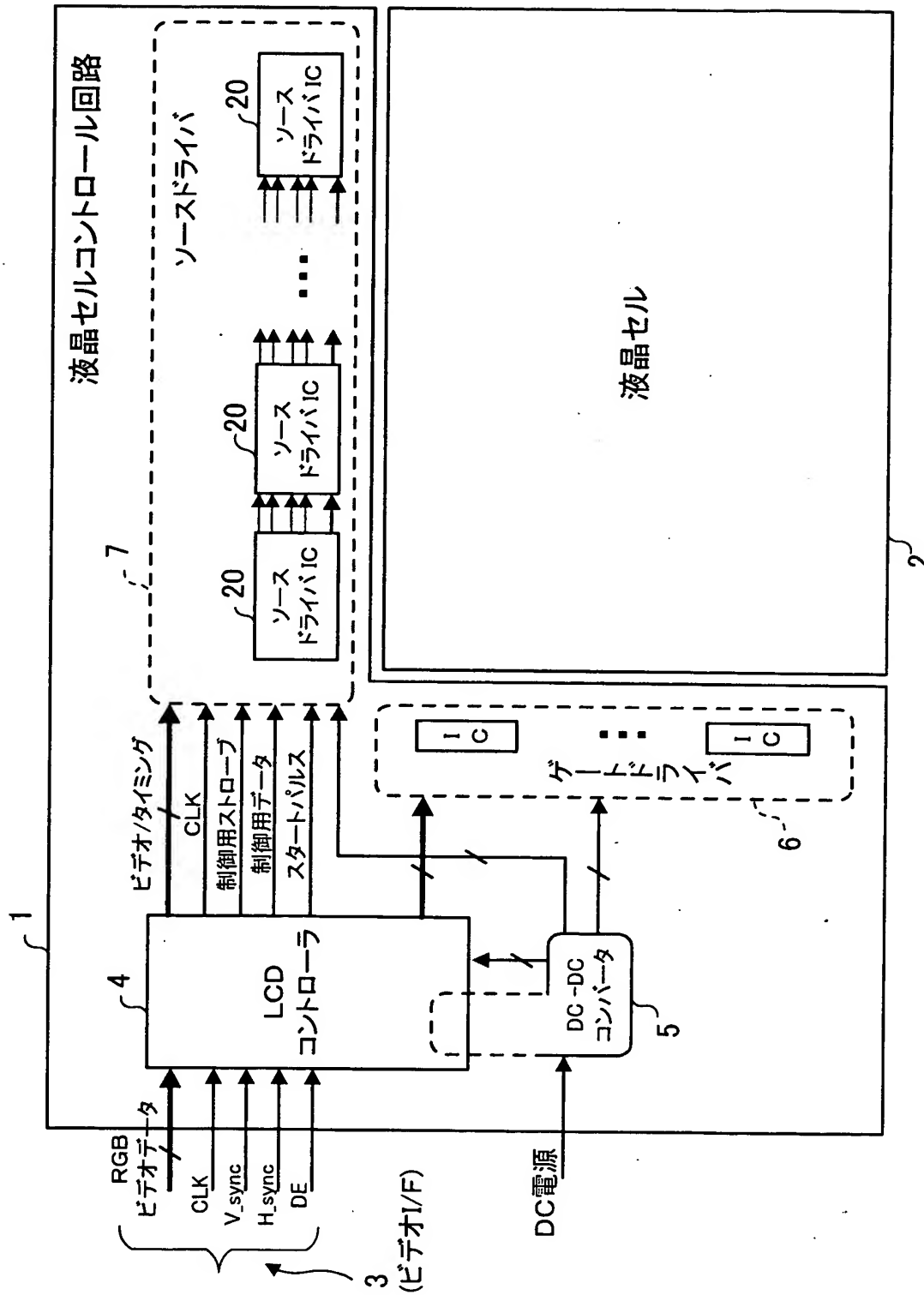
【図 2 1】 (a), (b) は、ソースドライバの配線方式の一例と、同時に液晶への書込みを行った場合における電源配線ライン上の電流測定結果を示した図である。

【符号の説明】

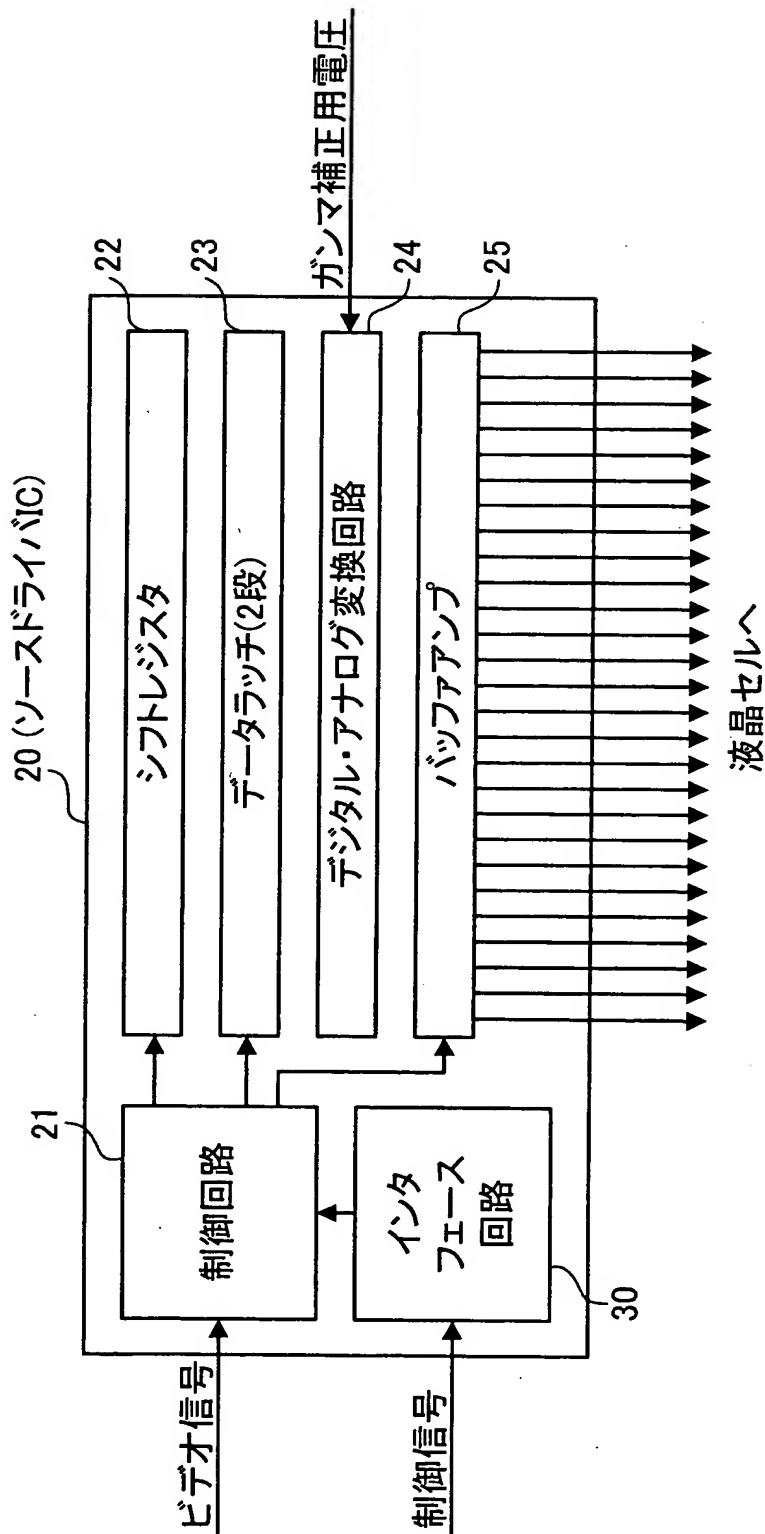
1…液晶セルコントロール回路、2…液晶セル、3…ビデオインタフェース(I/F)、4…LCDコントローラ、6…ゲートドライバ、7…ソースドライバ、20…ソースドライバIC、21…制御回路、22…シフトレジスタ、23…2段のデータラッチ、24…デジタル・アナログ変換回路、25…バッファアンプ、30…インタフェース回路、31…シーケンサ、32…各種フラグ、33…タイマー、34…設定レジスタ、35…カウンタ、41…タイミング制御回路、42…ストローク生成回路、43…パラレルシリアル変換回路、44…ラッチ回路、45…ROM、46…セレクタ、50…電圧降下量監視回路、51…電位差測定回路、52…基準電圧降下量設定回路、53…比較回路

【書類名】 図面

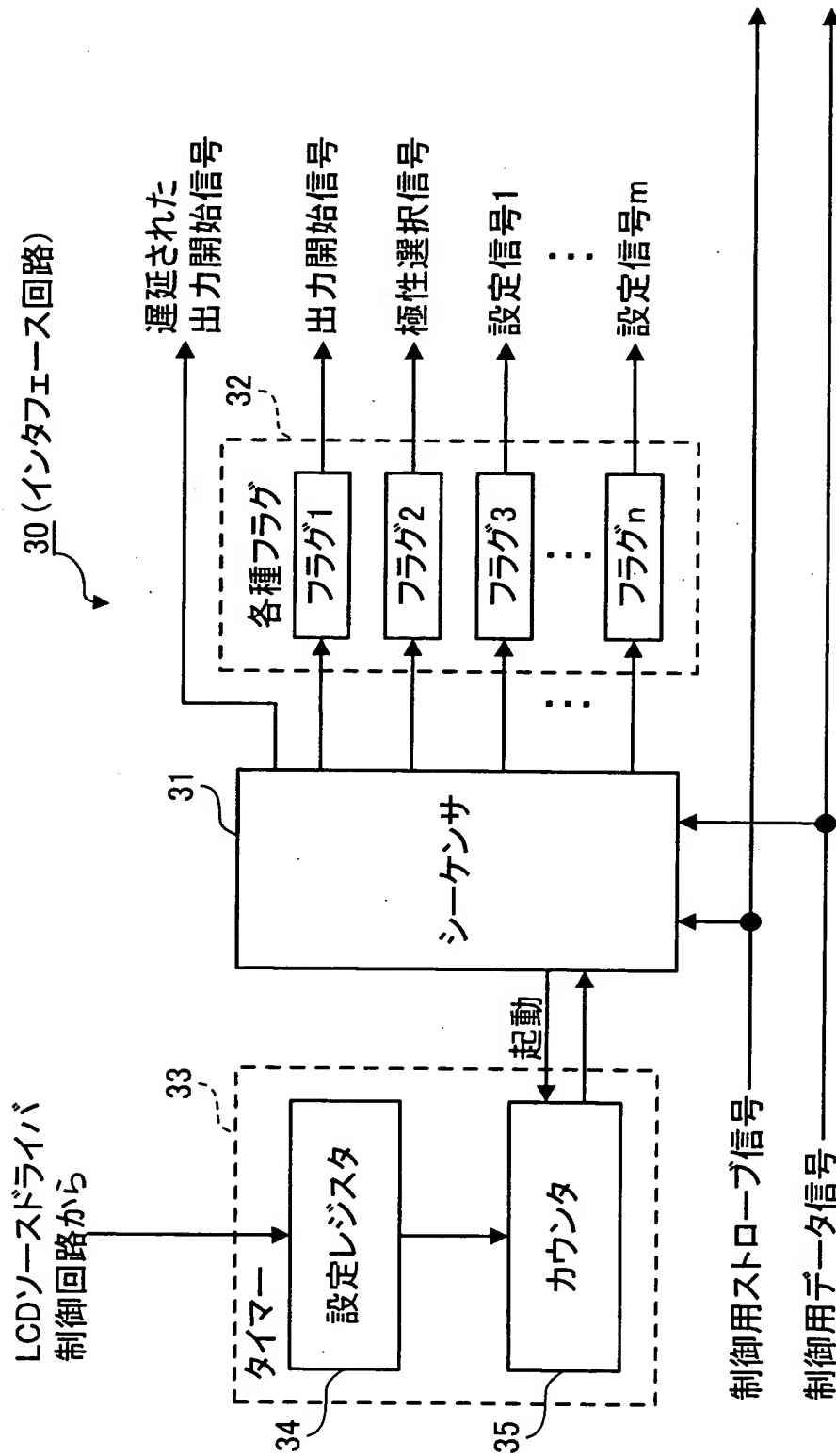
【図 1】



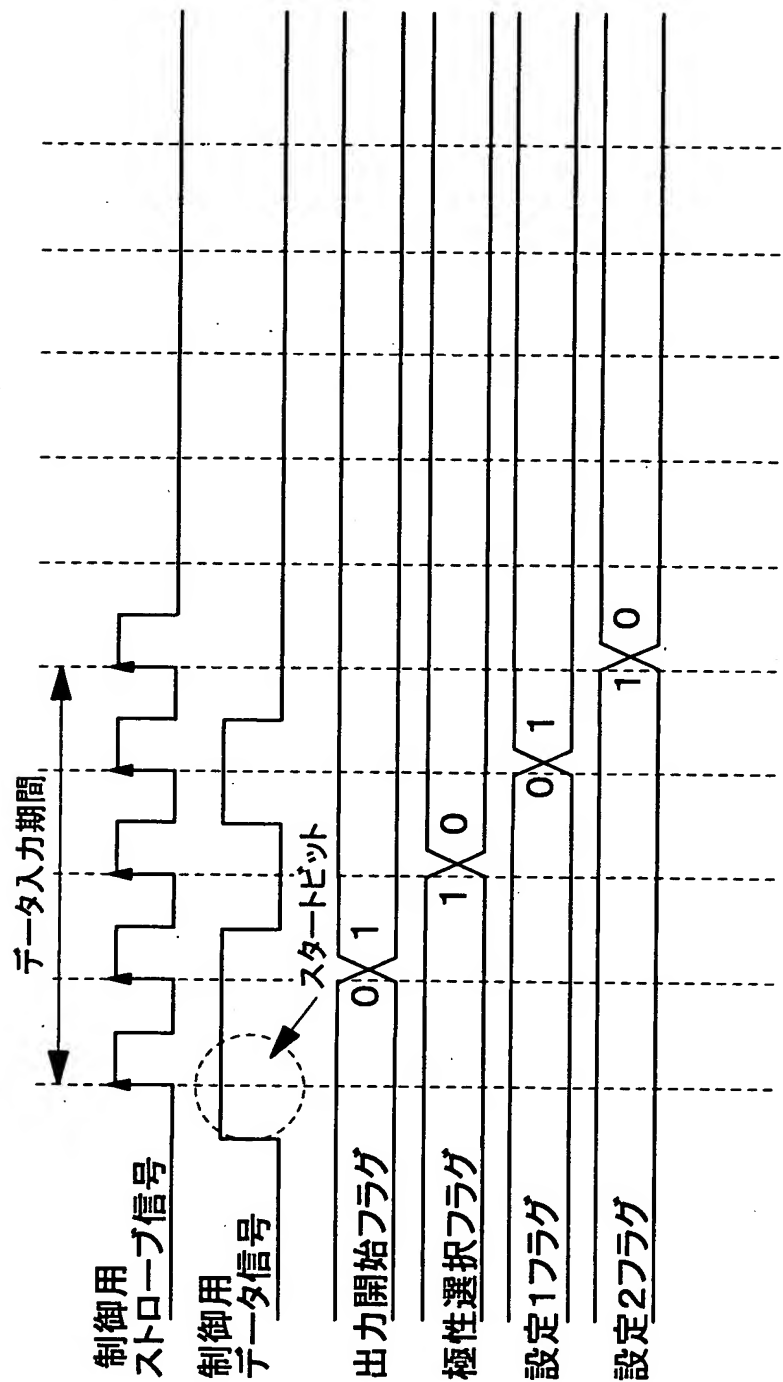
【図 2】



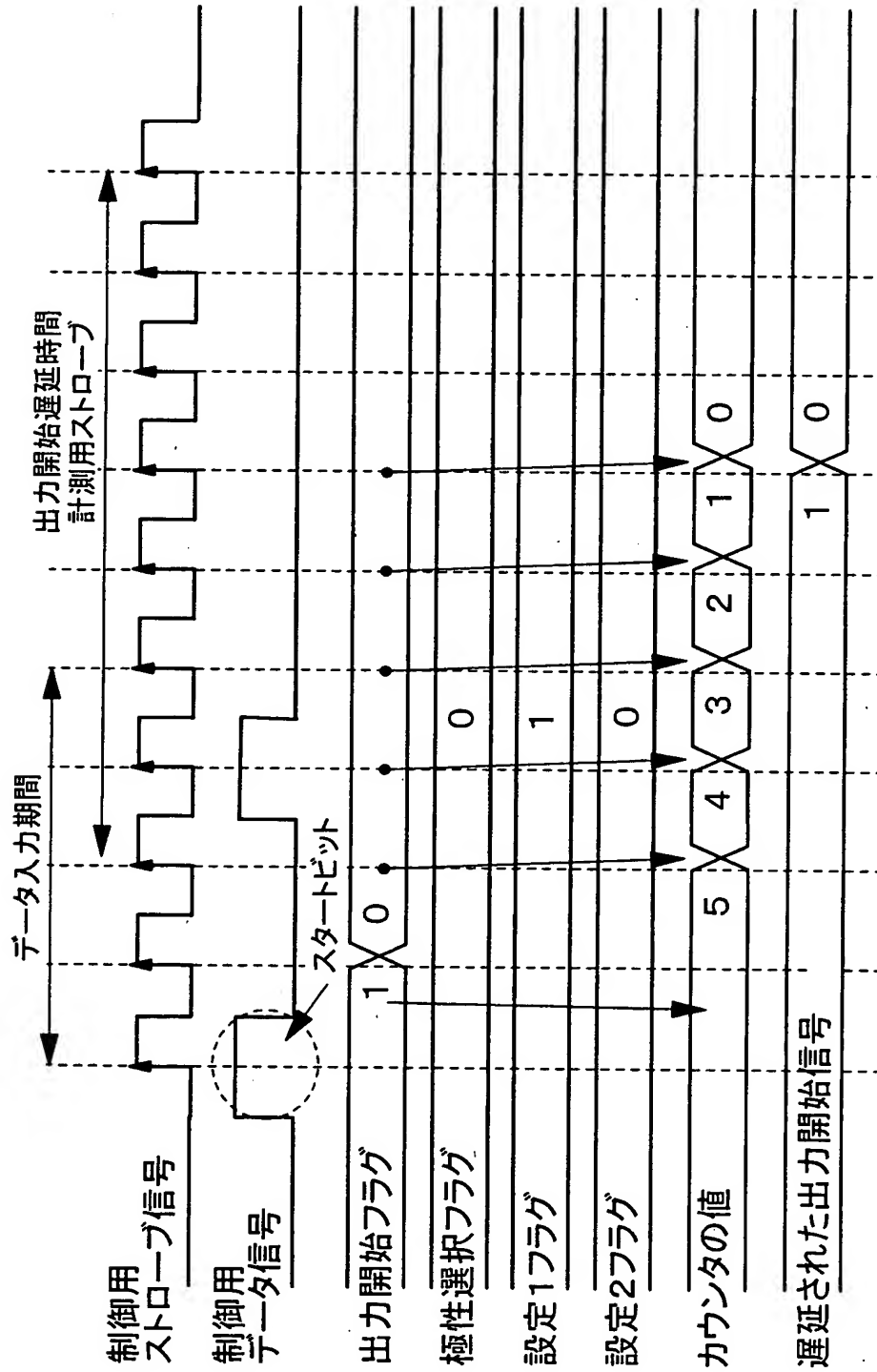
【図 3】



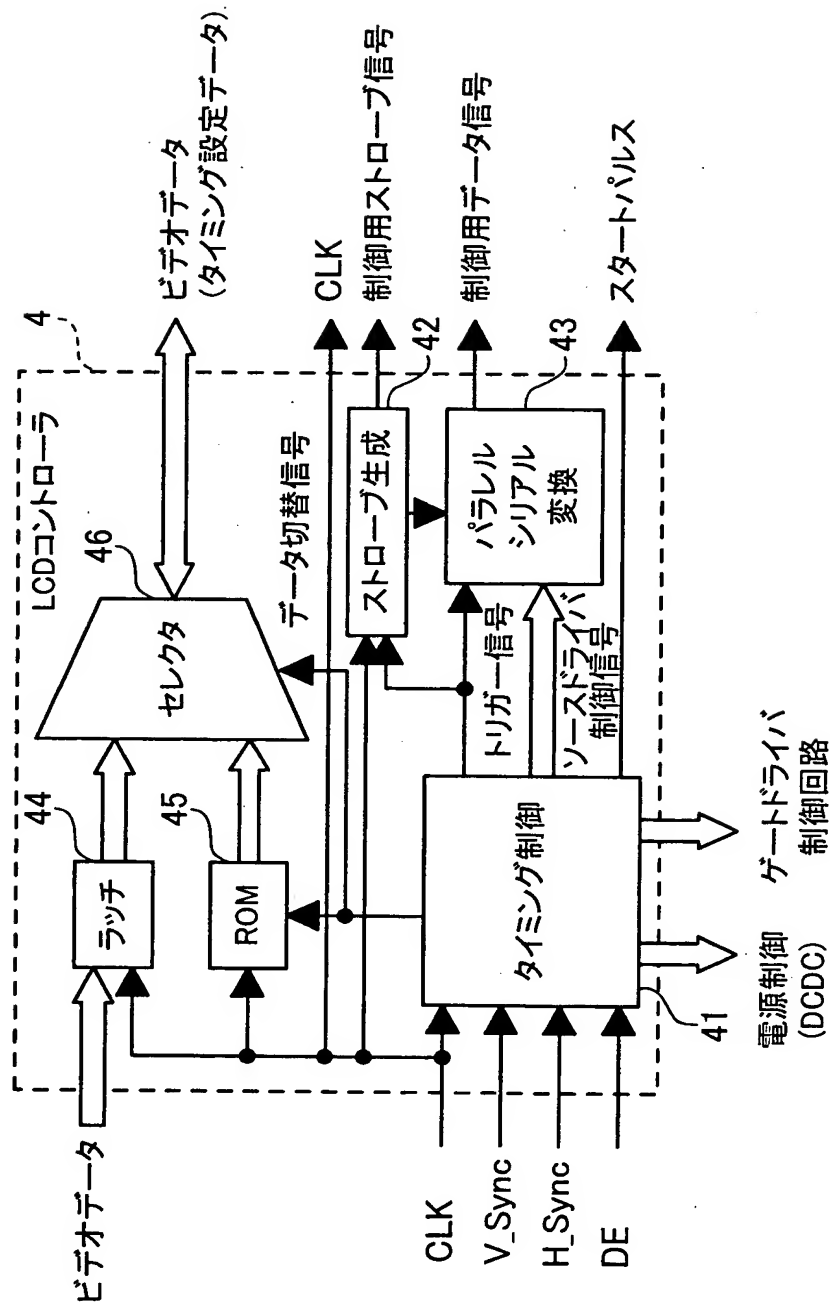
【図 4】



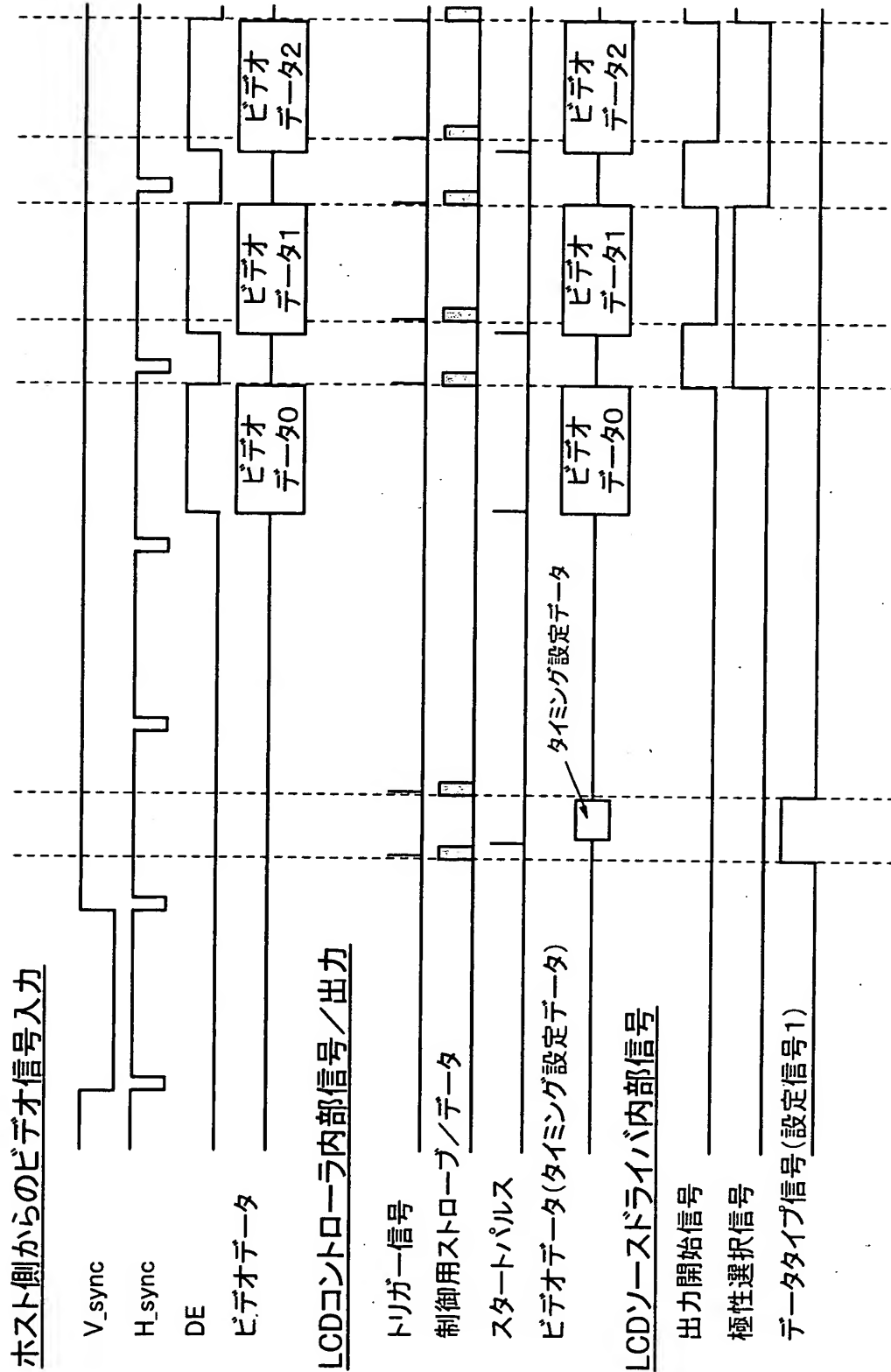
【図 5】



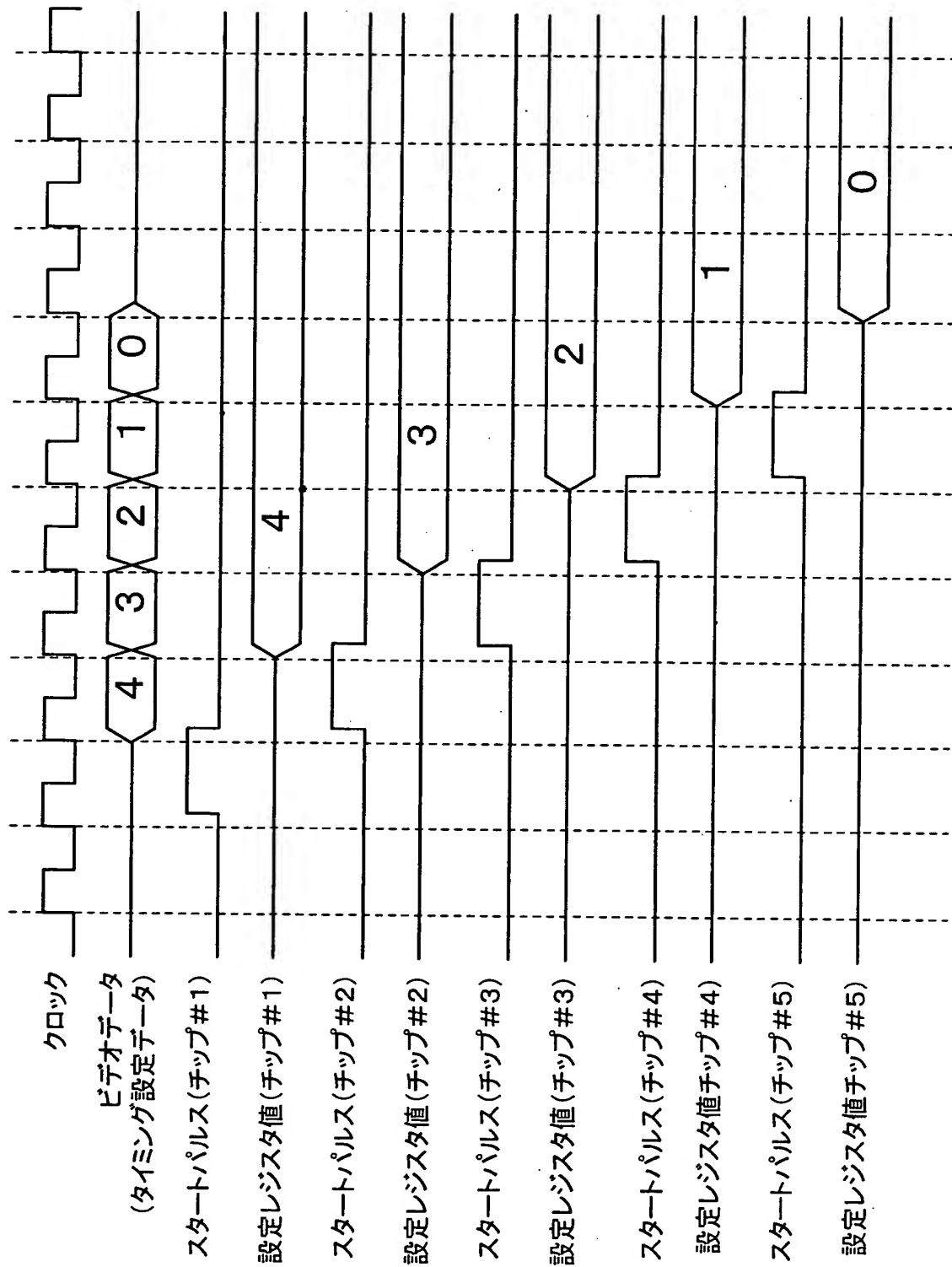
【図 6】



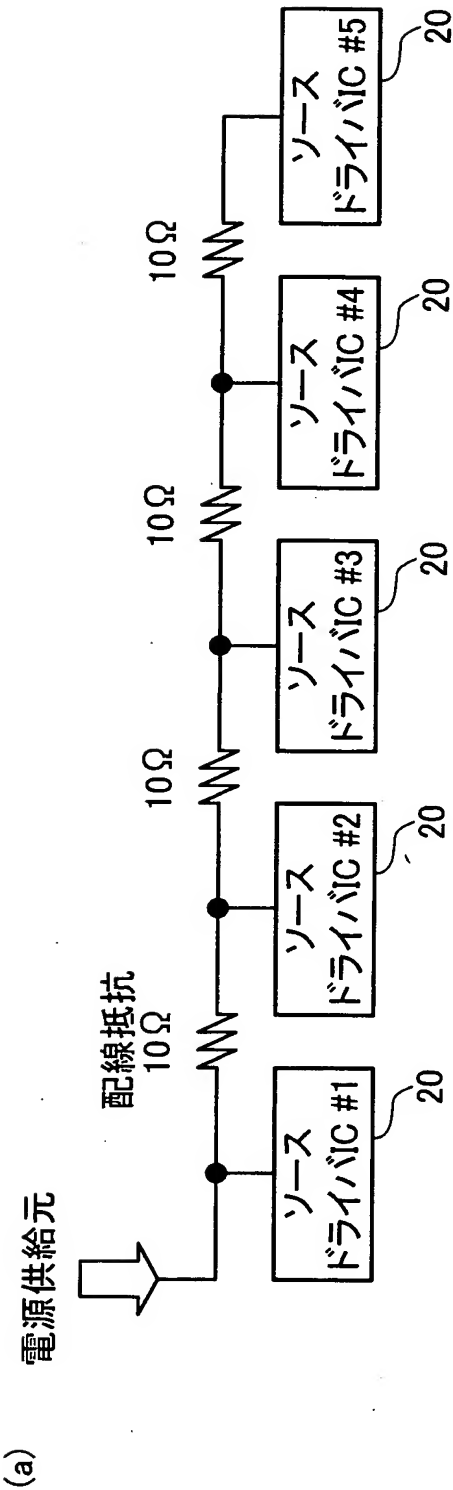
【図 7】



【図 8】



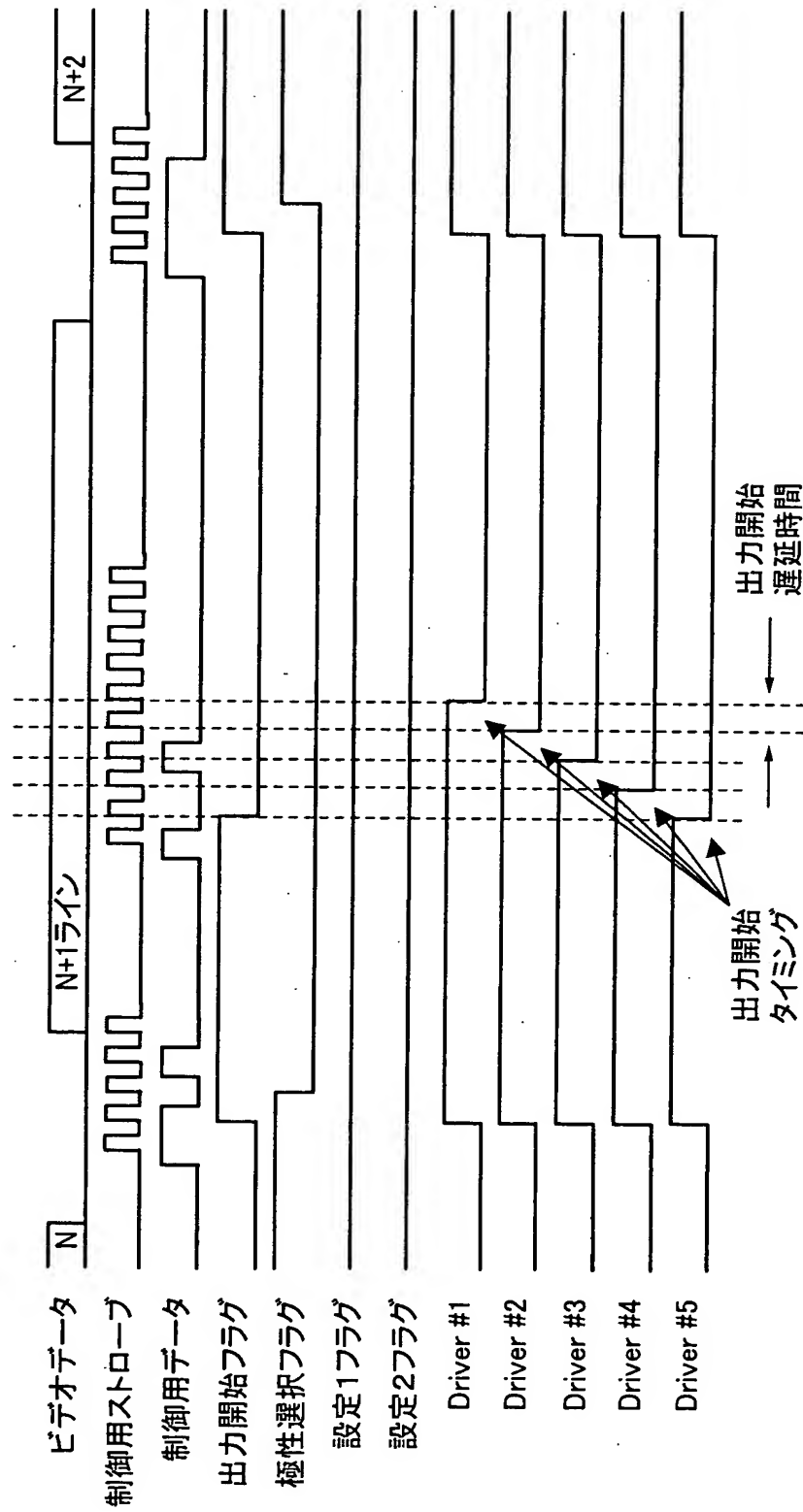
【図 9】



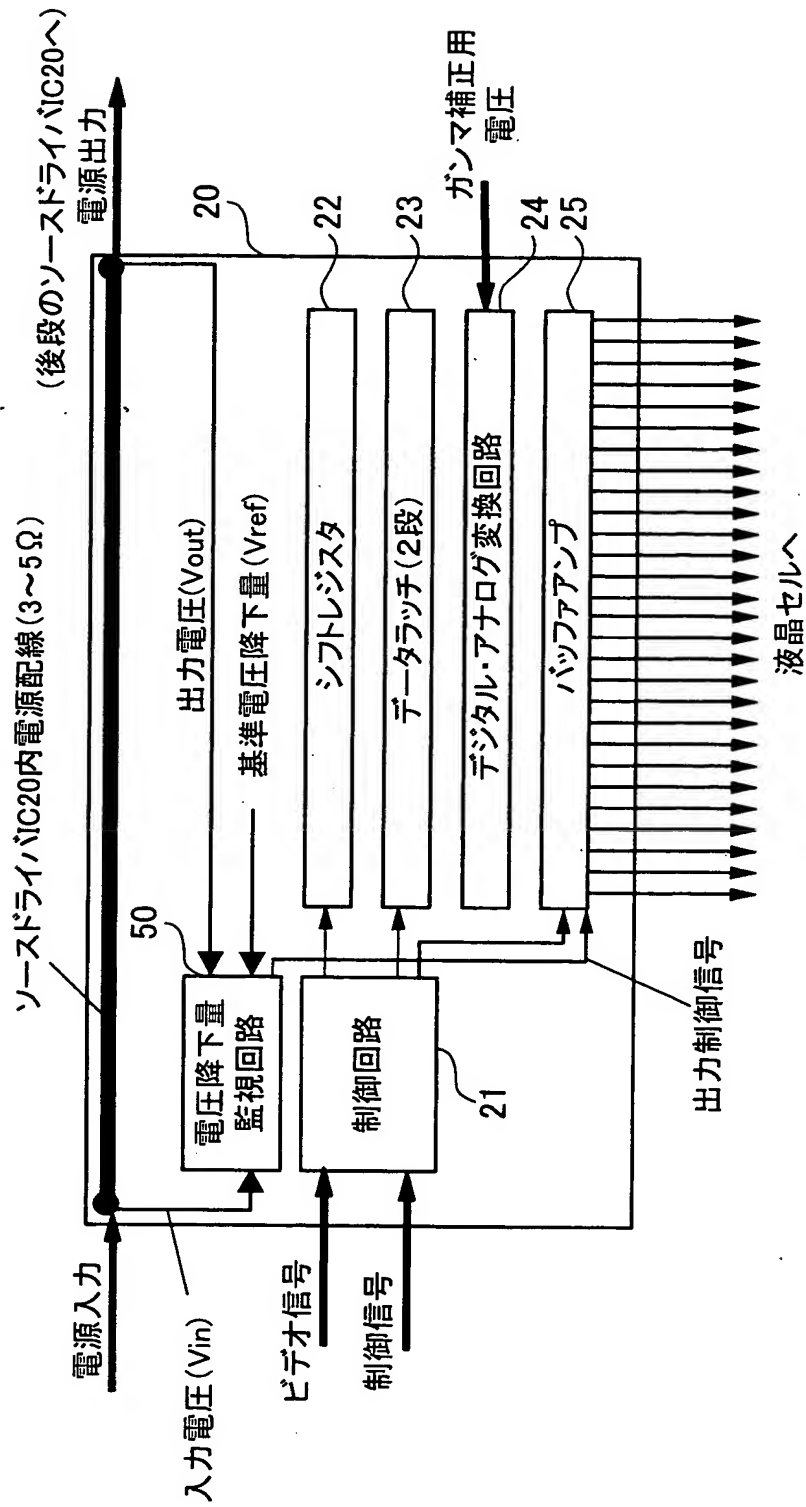
(b)

ソースドライバIC	設定レジスタの内容
#1	4
#2	3
#3	2
#4	1
#5	0

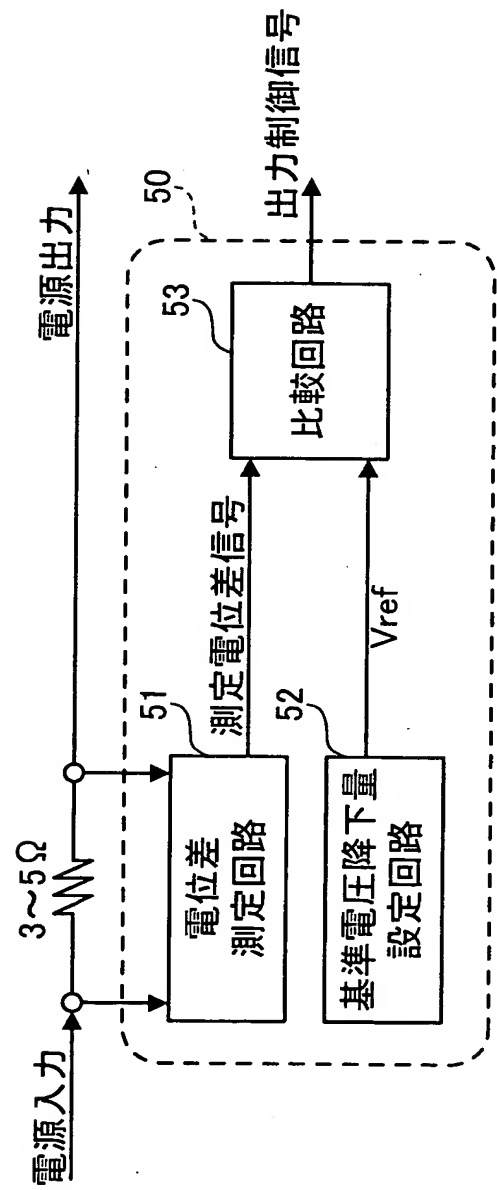
【図 10】



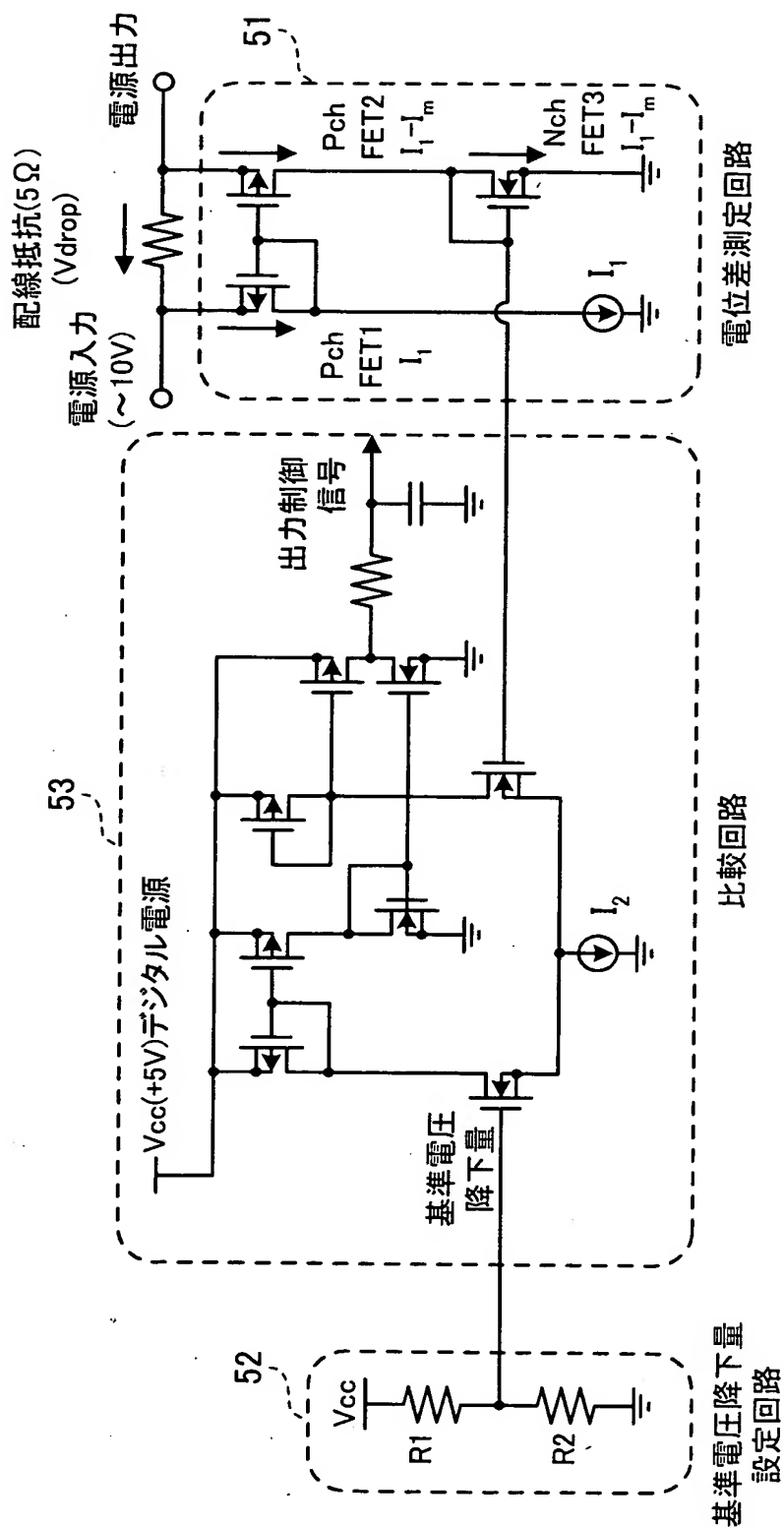
【図 11】



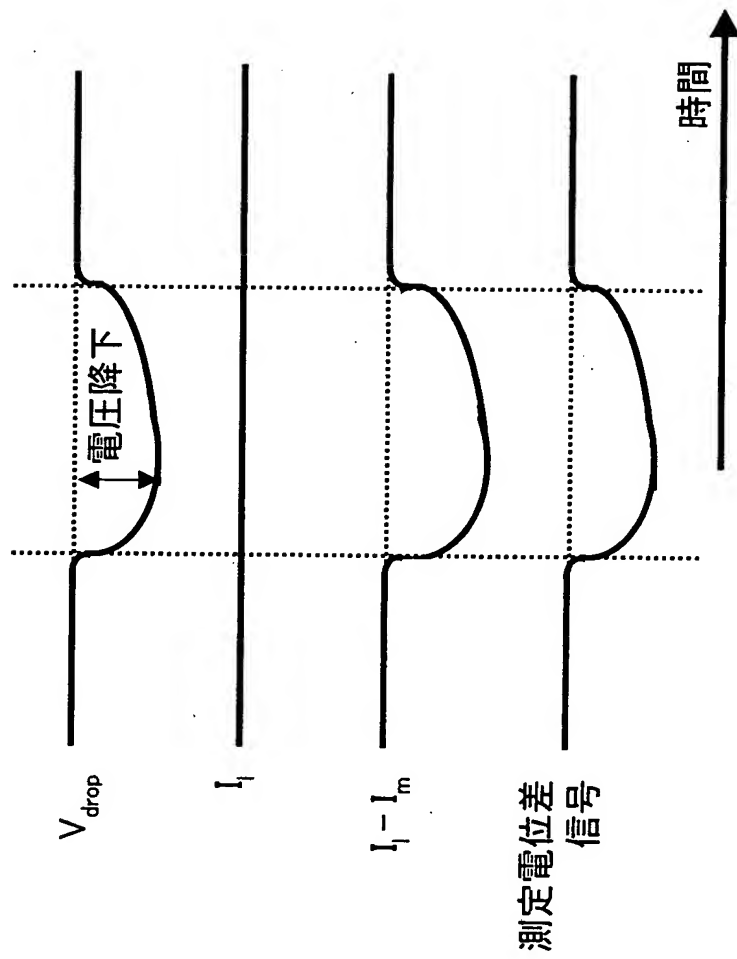
【図 12】



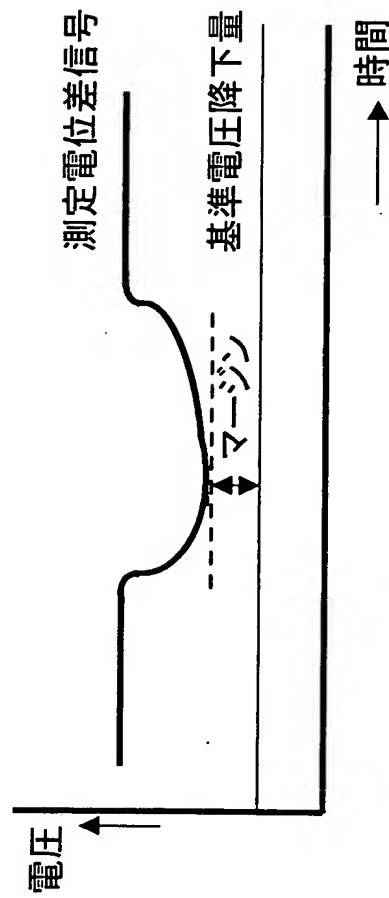
【図 13】



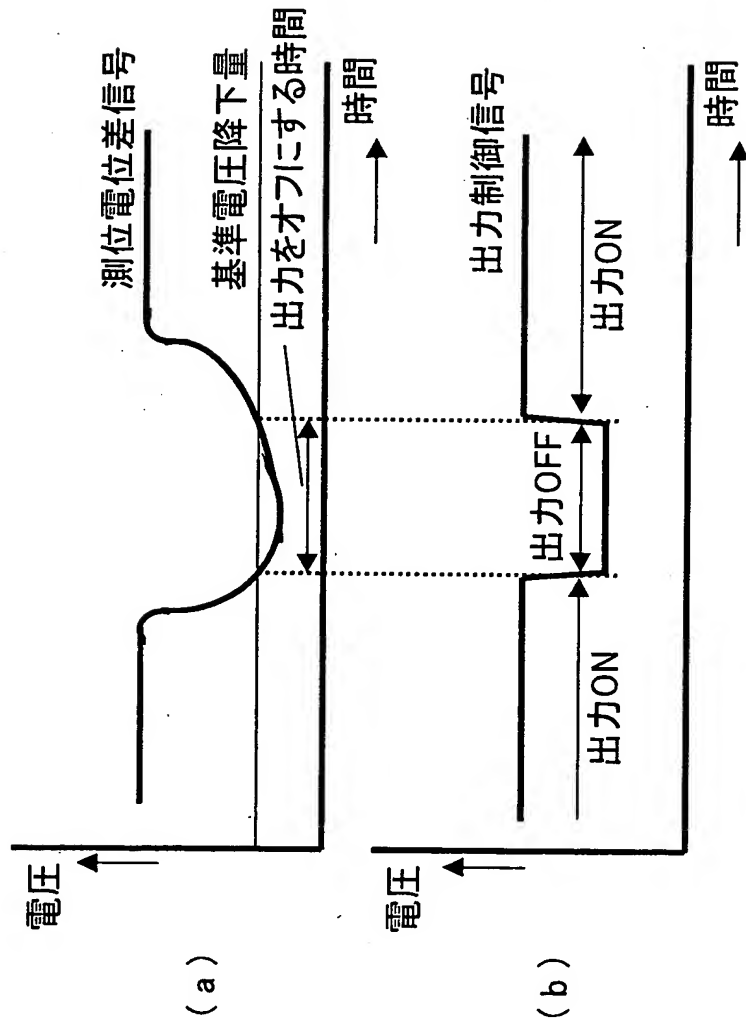
【図 14】



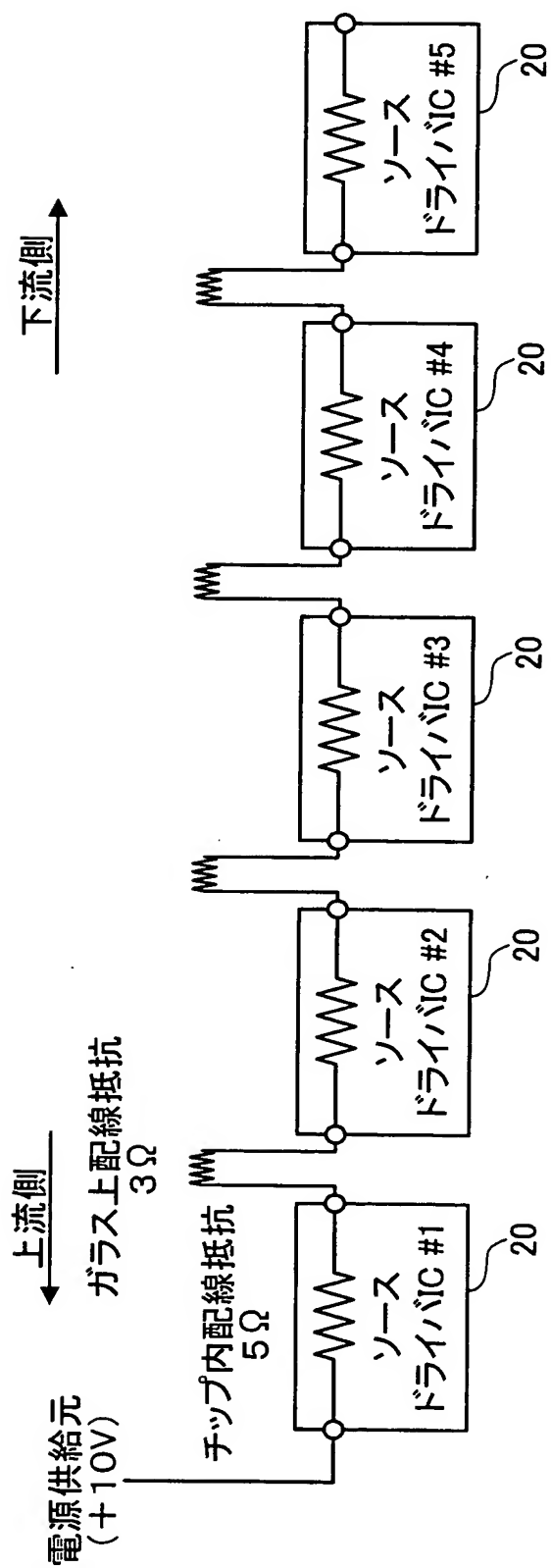
【図 15】



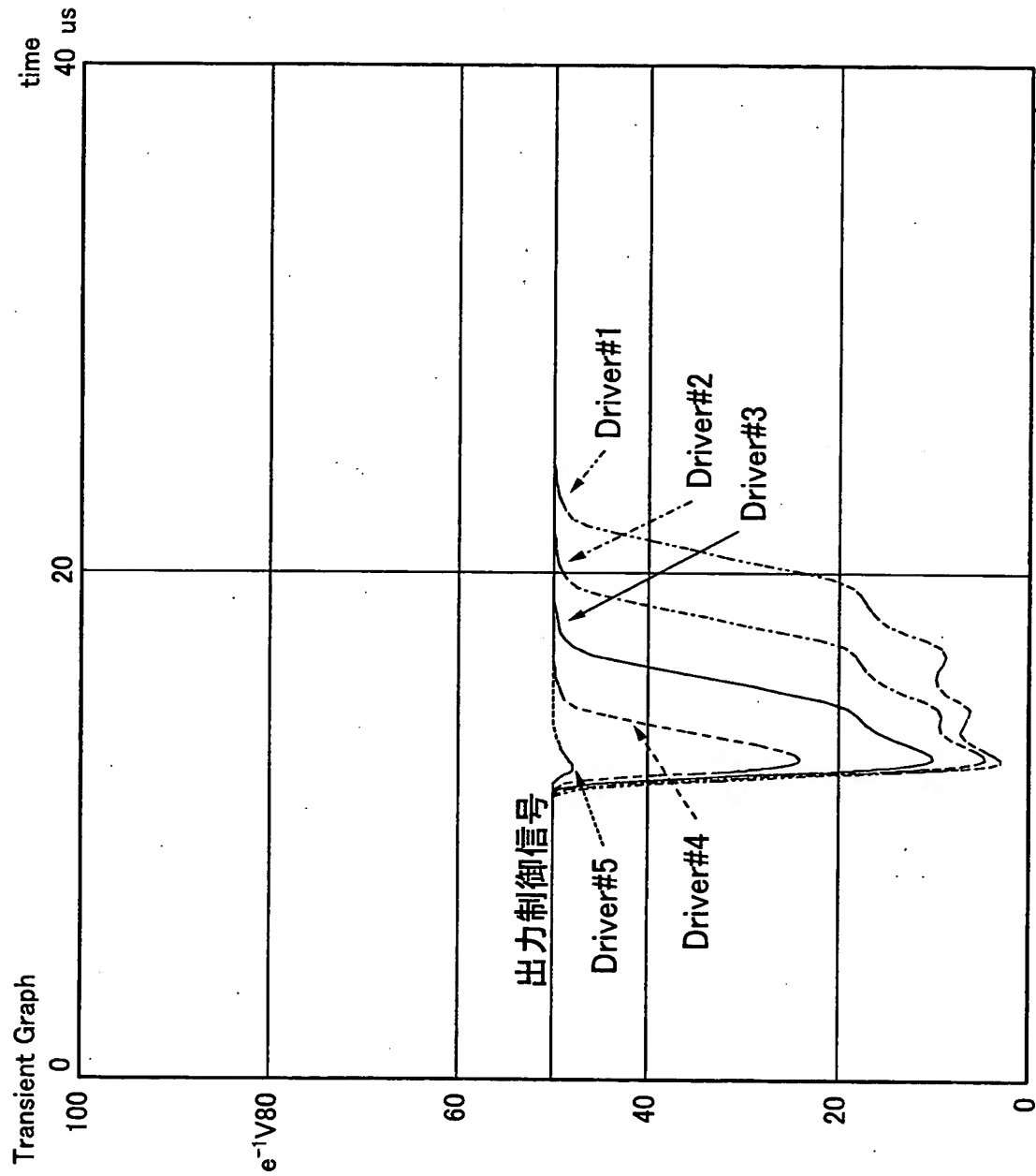
【図 16】



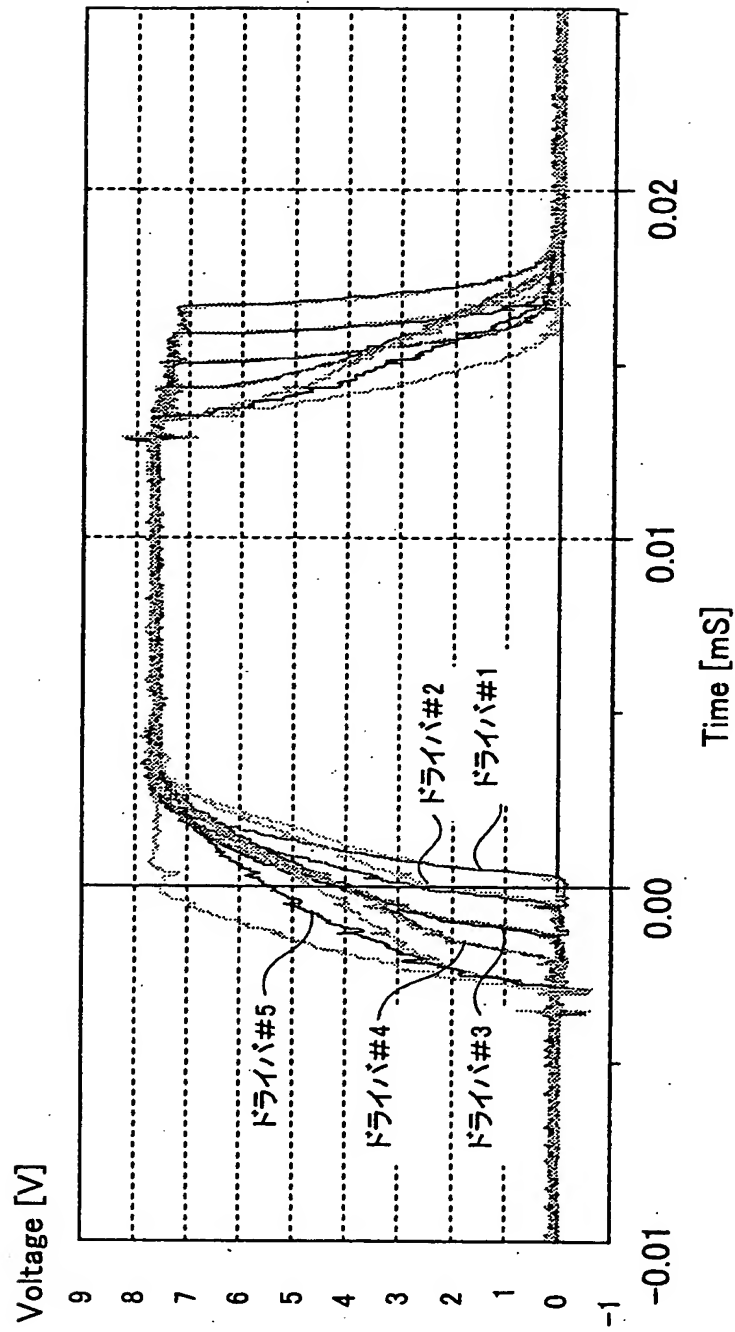
【図 17】



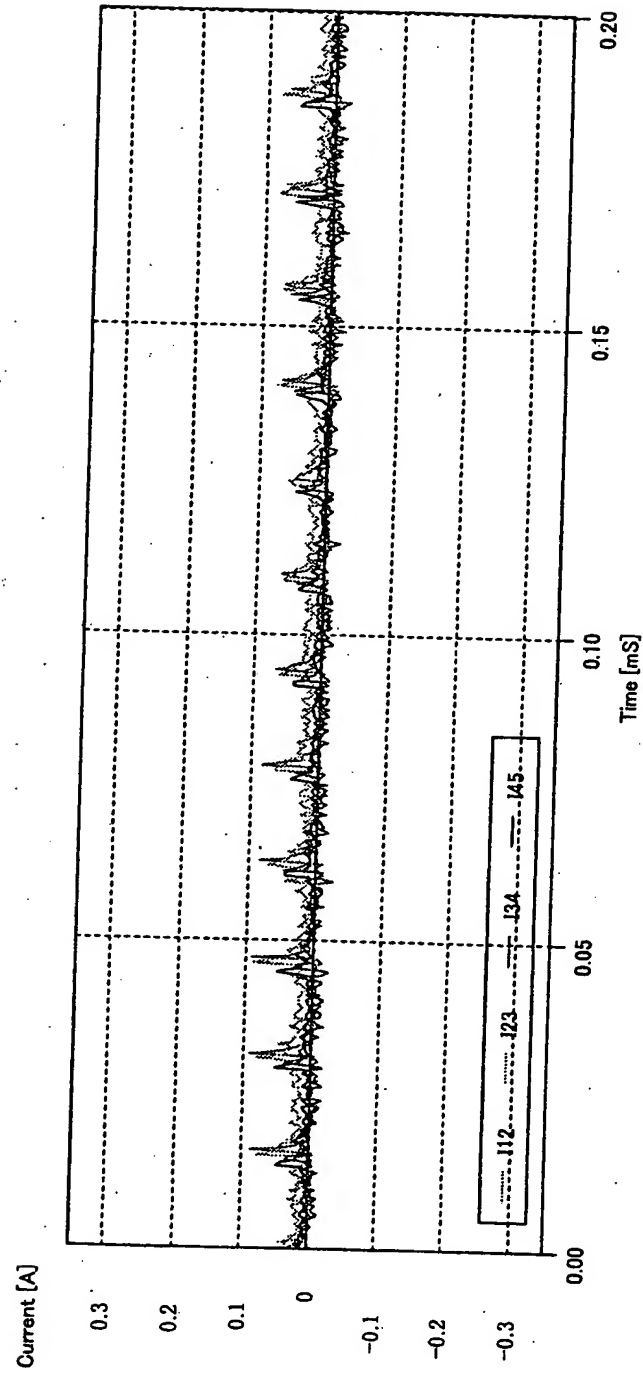
【図 18】



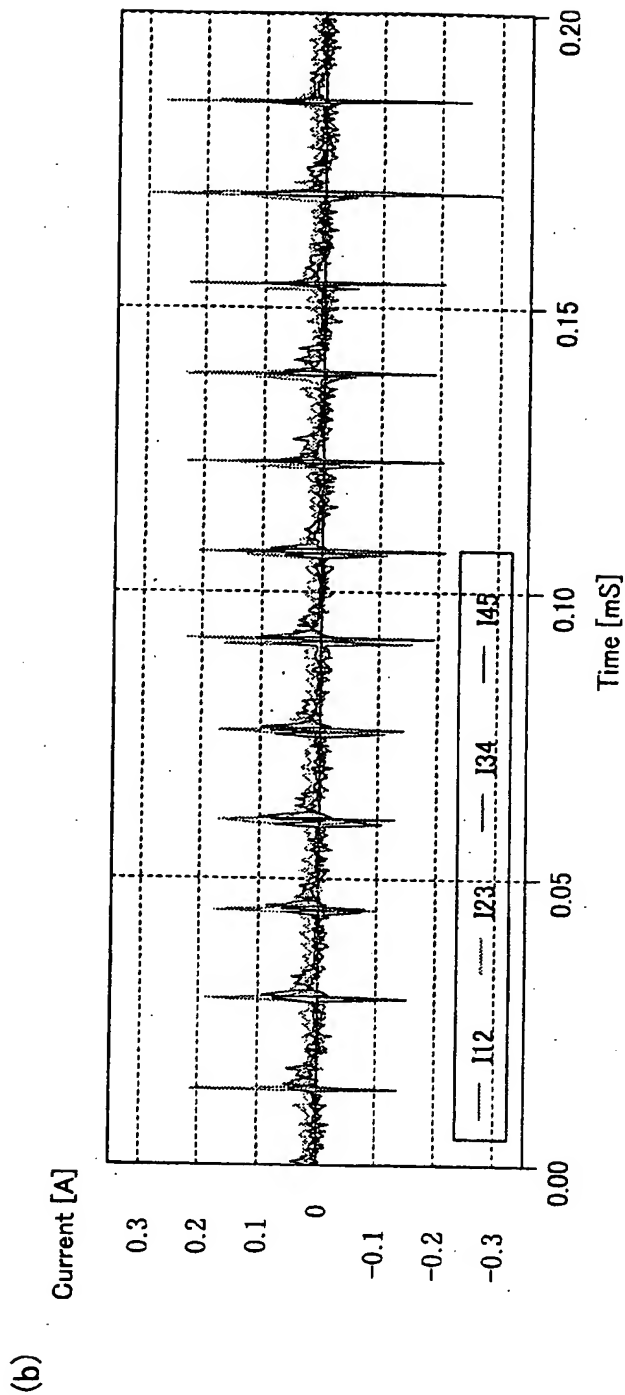
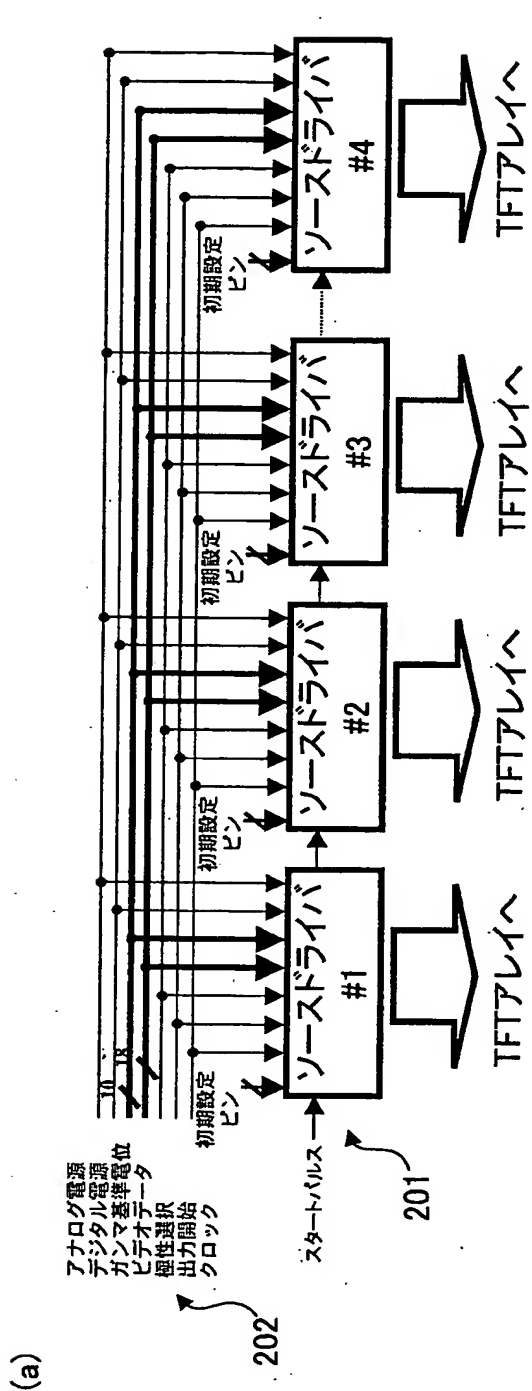
【図19】



【図 20】



【図 21】



【書類名】 要約書

【要約】

【課題】 L C D パネルにおいて十分な電流容量を確保できない配線を採用した場合であっても、電源配線の溶断等の問題を解決する。

【解決手段】 基板上に画像表示領域を形成する液晶セル 2 と、一筆書き状に電源が供給されるソースドライバ I C 2 0 を用いて液晶セル 2 に対して電圧を印加するソースドライバ 7 と、ホスト側からビデオ I / F 3 を介して受信した信号を処理してソースドライバ I C 2 0 に供給すべき信号を出力する L C D コントローラ 4 とを備え、このソースドライバ 7 は、液晶セル 2 への書込みを開始するタイミングを複数のソースドライバ I C 2 0 の間で個々にずらして、消費電流の集中を避ける。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [390009531]

1. 変更年月日 2000年 5月16日

[変更理由] 名称変更

住 所 アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)

氏 名 インターナショナル・ビジネス・マシーンズ・コーポレーション